

4 Circuitos Seqüenciais

Conforme já citado no capítulo 3, os circuitos lógicos dos sistemas digitais podem ser de dois tipos: circuitos combinacionais ou circuitos seqüenciais. Um circuito combinacional é constituído de um conjunto de portas lógicas, as quais determinam os valores das saídas diretamente a partir dos valores atuais das entradas.

A figura 4.1 mostra o diagrama de blocos de um circuito **seqüencial**. Um circuito seqüencial é composto por um **circuito combinacional** e **elementos de memória**. As **entradas** e as **saídas** do circuito seqüencial estão conectadas somente ao circuito combinacional. Os elementos de memória são circuitos capazes de armazenar informação codificada em binário. Algumas das saídas do circuito combinacional são entradas para os elementos de memória, recebendo o nome de **variáveis do próximo estado**. Já as saídas dos elementos de memória constituem parte das entradas para o circuito combinacional e recebem o nome de **variáveis do estado atual**. As conexões entre o circuito combinacional e os elementos de memória configuram o que se costuma chamar **laço de realimentação**, pois a saída de um bloco é entrada para o outro e vice-versa.

A informação armazenada nos elementos de memória num dado instante determina o **estado** em que se encontra o circuito seqüencial. O circuito seqüencial recebe informação binária das entradas que, juntamente com a informação do **estado atual**, determinam os valores das saídas e os valores do **próximo estado** (vide figura 4.1). Desta forma, fica evidente que as saídas de um circuito seqüencial dependem não apenas das entradas, mas também do estado atual, armazenado nos elementos de memória. E o mesmo pode ser dito para as variáveis de próximo estado. Em função deste *comportamento seqüencial*, um circuito seqüencial é especificado pela seqüência temporal de entradas, saídas e estados internos.

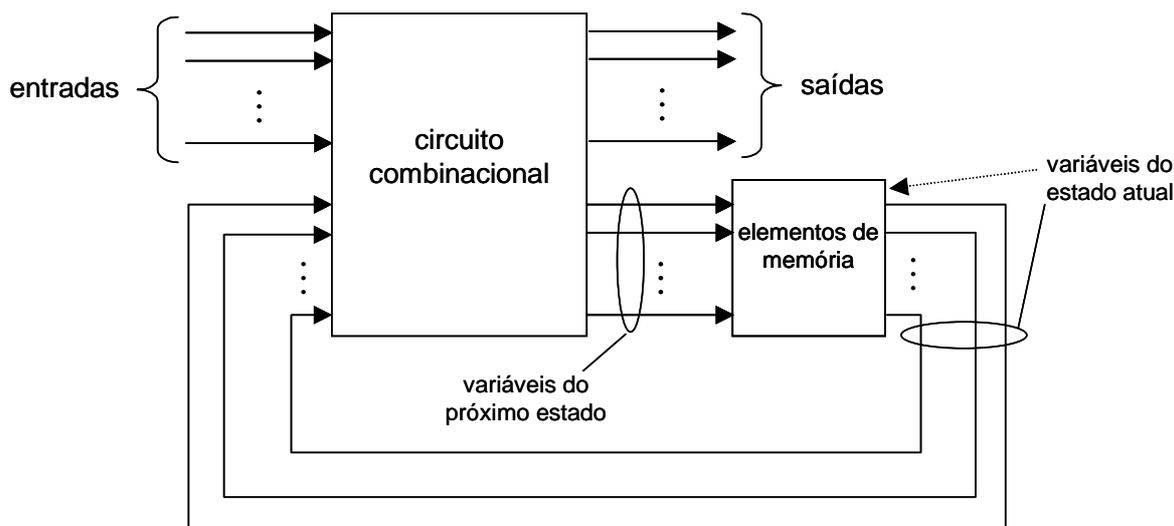


Figura 4.1 - Diagrama de blocos de um circuito seqüencial.

Os circuitos seqüenciais podem ser divididos em dois tipos, conforme o comportamento temporal dos seus sinais: **síncronos** e **assíncronos**.

O comportamento de um circuito seqüencial **assíncrono** depende da ordem segundo a qual as entradas mudam e o estado do circuito pode se alterar a qualquer tempo, como conseqüência de uma mudança de suas entradas. Os elementos de memória utilizados nos circuitos seqüenciais assíncronos apresentam uma capacidade de armazenamento que está associada diretamente ao atraso de propagação dos circuitos que os compõem. Em outras palavras, o tempo que esses circuitos levam para propagar uma mudança de suas entradas até suas saídas pode ser encarado como o tempo durante o qual eles retêm os valores aplicados antes da mudança, e esse fenômeno coincide com o conceito de memória, para os circuitos digitais. Nos circuitos seqüenciais assíncronos, os elementos de memória são compostos por portas lógicas que provêm um atraso de propagação com valor adequado para o funcionamento do circuito. Então, um circuito seqüencial assíncrono pode ser visto como um circuito combinacional com realimentação. O projeto de circuitos com realimentação apresenta grandes dificuldades, uma vez que seu funcionamento correto é dependente das características temporais dos componentes (portas lógicas e fios). A principal dificuldade provém do fato de que os componentes apresentam atrasos que não são fixos, podendo ser diferentes mesmo para exemplares com mesma função e de um mesmo fabricante. Desta forma, os circuitos seqüenciais assíncronos têm sido evitados, sempre que possível, em favor do uso de circuitos seqüenciais síncronos.

Um circuito seqüencial **síncrono** utiliza um sinal especial denominado de relógio (*clock*, em inglês) o qual tem a função de cadenciar uma eventual troca de estado. A figura 4.2 mostra um exemplo de sinal de relógio. A forma de onda de um sinal de relógio é dita monótona, pois não se altera ao longo do tempo. Nela podem ser identificados a borda de subida, a borda de descida, o nível lógico zero e o nível lógico um. O tempo que decorre para o sinal se repetir é denominado **período** e é representado por **T**. Por exemplo, o tempo entre duas bordas de subida sucessivas é igual a T. Da mesma forma, o tempo entre duas bordas de descida sucessivas é igual a T.

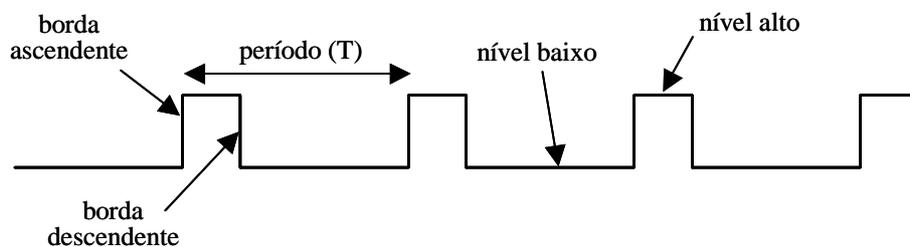


Figura 4.2 - Exemplo de sinal de relógio (*clock*).

A **frequência** de um sinal de relógio, representada por **f**, é definida como sendo o inverso do período, ou seja:

$$f = \frac{1}{T} \quad (4.1)$$

Para medir-se o período, usa-se os múltiplos do segundo: ms (milissegundo = 10^{-3} s), μ s (microsegundo = 10^{-6} s), ns (nanossegundo = 10^{-9} s) e ps (picosegundo = 10^{-12} s). Para medir-se a frequência, usa-se os múltiplos do hertz: kHz (quilohertz = 10^3 Hz), MHz (megahertz = 10^6 Hz) e GHz (gigahertz = 10^9 Hz). Um hertz equivale a 1/1s (i.e., o hertz é o inverso do segundo).

Exemplo 4.1: um circuito digital síncrono é cadenciado pelo uso de um sinal de relógio de 200 MHz. Qual é o maior atraso permitido para um circuito combinacional qualquer dentro deste circuito.

Ora, se esse circuito deve trabalhar à frequência de 200 MHz, então, cada um de seus blocos combinacionais deve ter um atraso inferior ao período do relógio, o qual pode ser calculado por:

$$T = \frac{1}{200 \times 10^6 \text{ Hz}} = 0,005 \times 10^{-6} \text{ s} = 5 \times 10^{-9} \text{ s} = 5 \text{ ns}$$

Num circuito seqüencial síncrono, o sinal de relógio determina quando os elementos de memória irão amostrar os valores nas suas entradas. Conforme o tipo de circuito utilizado como elemento de memória, esta amostragem das entradas pode ser sincronizada pela borda ascendente ou pela borda descendente do relógio. Seja qual for o tipo de sincronização, o tempo que transcorre entre duas amostragens sucessivas equivale a T , o período do relógio. Isto implica que, qualquer mudança no estado de um circuito seqüencial síncrono irá ocorrer somente após a borda do sinal de relógio na qual seus elementos de memória são disparados. A figura 4.3 mostra o diagrama de blocos de um circuito seqüencial síncrono.

Os elementos de memória utilizados nos circuitos seqüenciais síncronos são denominados *flip-flops*. Um flip-flop é um circuito digital que possui duas entradas e duas saídas e é capaz de armazenar um bit de informação. As duas entradas não são intercambiáveis: uma é reservada ao sinal de controle (relógio) e a outra recebe o dado (bit) a ser armazenado. As saídas correspondem ao dado (bit) armazenado e ao seu complemento. O sinal de relógio determina o instante em que o flip-flop amostra o valor do dado, podendo corresponder a uma borda de subida ou a uma borda de descida, dependendo de como o flip-flop é constituído. O diagrama da figura 4.3 mostra que o valor de cada variável de estado é armazenado num flip-flop específico. Os valores que representam o *próximo estado* só são amostrados na **borda ativa** do relógio. Logo, o *estado atual* fica armazenado no conjunto de flip-flops até que uma nova borda do relógio chegue, quando então o *próximo estado* passa a ser o *estado atual* e um novo *próximo estado* será gerado pelo circuito combinacional.

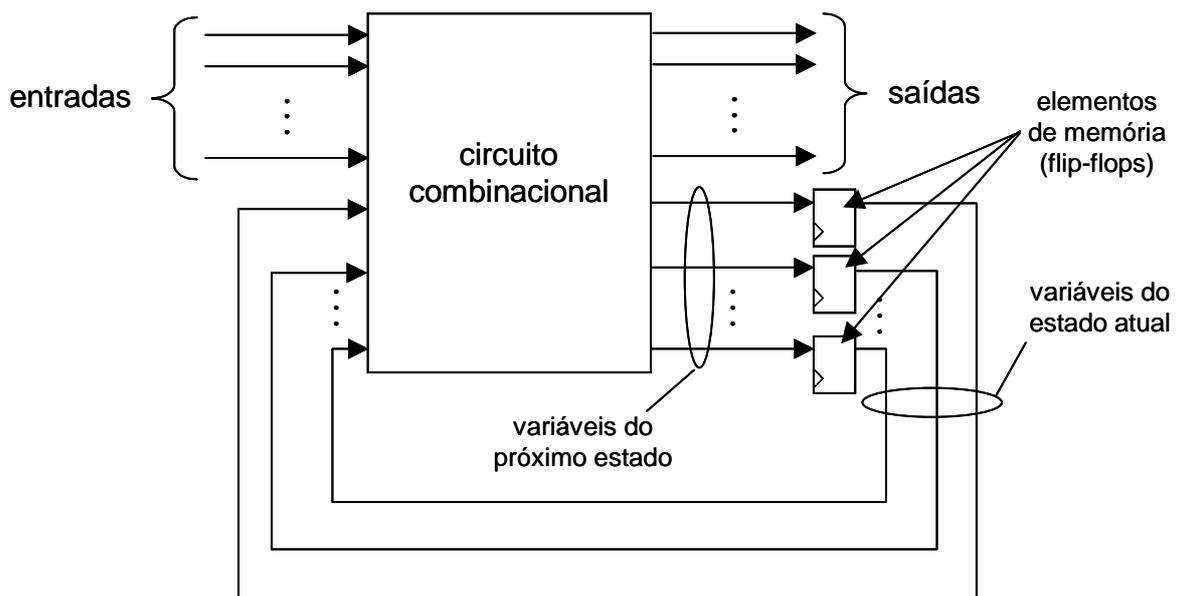


Figura 4.3 - Diagrama de blocos de um circuito seqüencial síncrono.

Desde que devidamente alimentado com energia, um flip-flop pode manter indefinidamente um estado, até que os sinais de entrada assumam uma configuração tal que o façam mudar de estado. Essa configuração depende de como o flip-flop é constituído. O estado em que um flip-flop se encontra usualmente é associado ao valor binário que ele está armazenando. Desta forma, num dado instante, um flip-flop estará armazenando ou o valor lógico 1 (um) ou o valor lógico 0 (zero), pois esses são os dois valores possíveis para uma variável Booleana.

4.1 Latches

Os vários flip-flops existentes se diferenciam pelo número de entradas que possuem e na maneira pela qual tais entradas afetam o estado em que o flip-flop se encontra. Os tipos mais básicos de flip-flops são denominados **latches**. Os latches operam por níveis dos sinais de entrada (diz-se que são sensíveis a nível) e servem como base na construção dos flip-flops mais sofisticados.

Apesar de serem capazes de armazenar informação binária, os latches são pouco utilizados na construção de circuitos seqüenciais síncronos por serem menos práticos do que os flip-flops.

A seguir, serão estudados o latch RS, o latch RS controlado e o latch D.

4.1.1 O Latch RS

O **latch RS** é o latch mais simples que existe. Ele pode ser construído com o uso de duas portas nor de 2 entradas cada, conectadas conforme mostra a figura 4.4. Note que há duas entradas, chamadas R e S, e duas saídas, Q e \bar{Q} . Note também que existe uma conexão entre a saída Q e a outra entrada da nor n2. Existe também uma conexão entre a saída \bar{Q} e a outra entrada da nor n1. Conexões entre saída e entrada são denominadas **realimentações**, e no caso de circuitos digitais, são responsáveis pela propriedade de armazenamento apresentada pelo circuito.

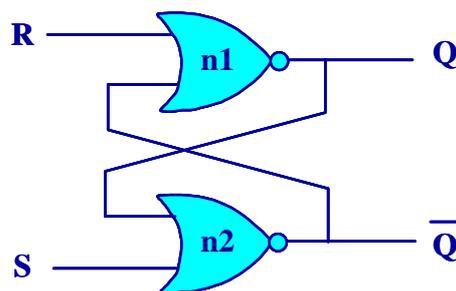


Figura 4.4 - Latch RS com portas nor.

Conforme já citado na introdução deste capítulo, circuitos que possuem algum tipo de realimentação são ditos seqüenciais, pois seu comportamento não depende somente dos valores das entradas, mas também do estado em que o circuito se encontra. Assim, a análise do funcionamento do latch RS obedecerá os seguintes passos:

Identificação de uma combinação de entradas capaz de determinar o estado do latch de maneira independente do estado anterior (se isso for possível)

Assumindo o estado determinado no passo 1 como sendo o estado inicial, aplicação de uma nova combinação de entradas para verificar como o circuito se comporta (se muda de estado ou não);

Repetição dos passos 1 e 2 para cada combinação de entradas capaz de determinar o estado do circuito de maneira independente.

A partir do procedimento anterior encontrar-se-á uma tabela de comportamento denominada **tabela de transição de estados** (ou simplesmente, **tabela de transição**), a qual é característica deste latch. Em particular, cada latch e cada flip-flop possui um comportamento que pode ser expresso em termos de uma tabela de transferência que lhe é própria.

Para o latch RS da figura 4.4, imaginemos que sejam aplicados simultaneamente os valores 1 e 0 às entradas R e S, respectivamente, no instante de tempo t_0 . Ora, sabemos que o valor 1 aplicado a qualquer uma das entradas de uma porta nor determina o valor da saída desta porta como sendo 0, independente dos valores das demais entradas. Logo, se for aplicado $R=1$ e $S=0$ em t_0 , a saída Q se estabilizará com valor 0 em $t_0+t_d(n1)$, onde $t_d(n1)$ é o atraso da porta nor n1. Como existe uma ligação física (ou seja, um fio) entre Q e uma das entradas da porta nor n2, a partir do tempo $t_0+t_d(n1)$ ambas entradas desta porta estarão estabilizadas em 0. Então, a partir do tempo $t_0+t_d(n1)+t_d(n2)$, onde $t_d(n2)$ é o atraso da porta nor n2, a saída \bar{Q} estará estabilizada com o valor lógico 1.

Imaginemos agora que na seqüência de operação deste latch foram aplicados os valores $R=0$ e $S=0$ às suas entradas no instante de tempo t_1 , com $t_1 > t_0+t_d(n1)+t_d(n2)$ (ou seja, bem depois da aplicação de $R=1$ e $S=0$). Em função dos atrasos das portas n1 e n2, as saídas Q e \bar{Q} não se alterarão imediatamente. Logo, para efeitos de análise, podemos considerar que a entrada de n1 que está conectada a \bar{Q} continua com o valor lógico 1 e que a entrada de n2 que está conectada a Q continua com o valor lógico 0. Desta forma, logo após o instante t_1 , n1 terá 0 e 1 em suas entradas, fazendo com que sua saída, que é a saída Q do circuito, permaneça no valor lógico 0. De maneira semelhante, logo após t_1 , n2 terá em suas entradas 0 e 0, fazendo com que sua saída, que é a saída \bar{Q} do latch, permaneça com o valor lógico 1. As formas de onda que ilustram o resultado da aplicação sucessiva destes dois “vetores de entrada” ($R=1;S=0$) e ($R=0;S=0$) no latch RS são mostradas na figura 4.5.

Suponhamos agora que a seqüência de valores aplicados às entradas do latch é ($R=0;S=1$) em t_0 e ($R=0;S=0$), em t_1 . Então, em $t_0+t_d(n2)$ a saída \bar{Q} se estabilizará com o valor lógico 0. Como existe uma ligação física entre a saída \bar{Q} e uma das entradas da porta nor n1, após o instante $t_0+t_d(n2)$ ambas entradas de n1 estarão estabilizadas em 0. Então, a partir do instante $t_0+t_d(n2)+t_d(n1)$, a saída Q estará estabilizada com o valor lógico 1. Supondo novamente que $t_1 > t_0+t_d(n2)+t_d(n1)$, podemos admitir que imediatamente após t_1 as saídas Q e \bar{Q} ainda se mantêm com seus valores anteriores, quais sejam $Q=1$ e $\bar{Q}=0$. Desta forma, n1 terá o valor lógico 0 em ambas entradas, resultando que Q se mantém em 1. De forma similar, n2 terá em suas entradas os valores 1 e 0, resultando que \bar{Q} se mantém em 0. A figura 4.6 mostra as formas de onda resultantes da aplicação do vetor de entrada ($R=0;S=1$) em t_0 , seguido do vetor ($R=0;S=0$), em t_1 . Note que $t_d(n1)$ e $t_d(n2)$ podem ser valores bem diferentes. Note ainda que em ambos casos, o atraso para a estabilização do latch sempre será $t_d(n1)+t_d(n2)$.

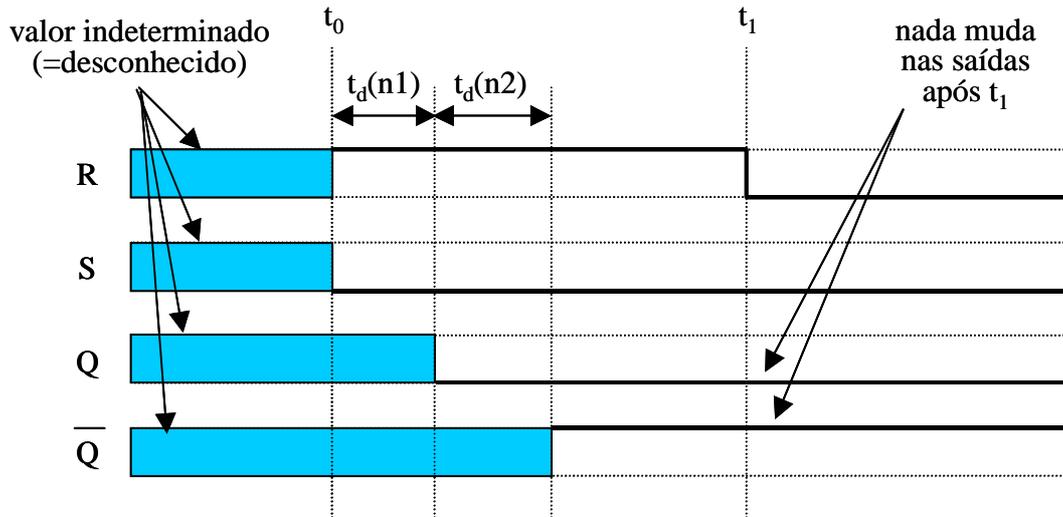


Figura 4.5 -Formas de onda para aplicação do vetor de entrada (R=1;S=0) seguido do vetor (R=0;S=0) no latch RS.

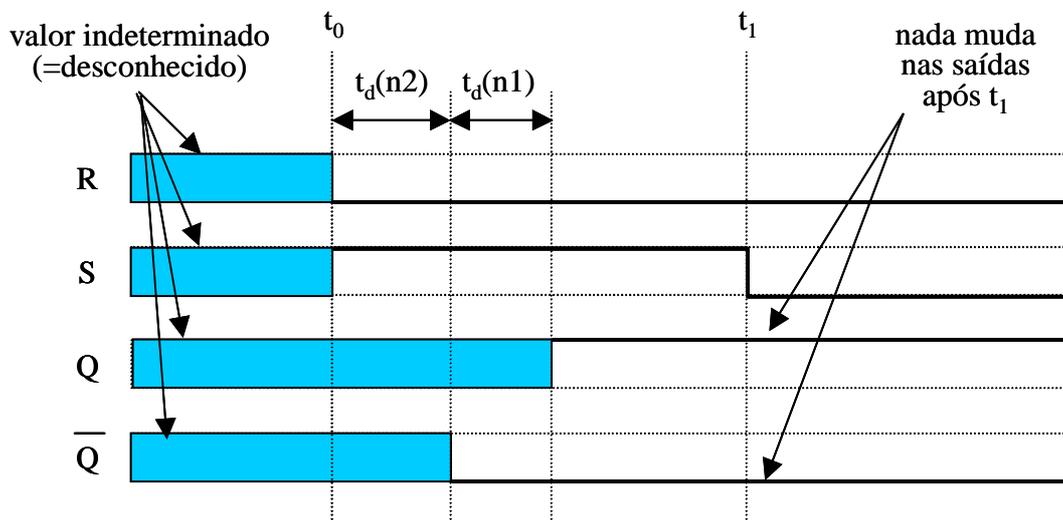


Figura 4.6 -Formas de onda para aplicação do vetor de entrada (R=0;S=1) seguido do vetor (R=0;S=0) no latch RS.

Note que para todas as situações estudadas até aqui, os valores exibidos pelas saídas Q e \bar{Q} são sempre complementares. É justamente por esse motivo que elas recebem essas denominações. Entretanto, se aplicarmos o vetor de entrada (R=1;S=1), ambas saídas se estabilizarão em 1, o que conflita com o que foi colocado anteriormente. Ora, se um latch deve ser capaz de armazenar um dentre os dois estados possíveis para uma variável Booleana e se o estado está associado ao valor de Q e \bar{Q} (Q exibe o estado e \bar{Q} , o seu complemento), então qual seria o estado representado pela situação Q=1 e \bar{Q} =1? Por não haver uma resposta plausível a essa pergunta, foi convencionado que esse seria um **estado proibido** (ou indeterminado), de modo que a situação (R=1;S=1) deve sempre ser evitada, no caso do latch RS.

Conforme já mencionado na introdução dessa seção, um latch, assim como um flip-flop, pode assumir um dentre dois estados possíveis. Esses estados correspondem aos valores que uma variável Booleana pode assumir, ou seja, 0 e 1. O estado 0 também é chamado **estado reset** e o estado 1 é também chamado **estado set**.

Analisando-se a situação mostrada pelas formas de onda da figura 4.5, conclui-se que a aplicação do vetor ($R=1;S=0$) faz com que o latch vá para o estado set (i.e., a saída Q estabiliza com o valor lógico 1), independente de seu estado anterior. Se após isso for aplicado o vetor ($R=0;S=0$), o latch não muda o seu estado. Avaliando-se agora as formas de onda da figura 4.6, conclui-se que a aplicação do vetor ($R=0;S=1$) faz com que o latch vá para o estado reset (i.e., a saída Q estabiliza com o valor lógico 0), independente de seu estado anterior. Se após isso for aplicado o vetor ($R=0;S=0$), o latch não muda o seu estado. Finalmente, pode-se afirmar que a aplicação do vetor ($R=0;S=0$) não muda o estado em que o latch está. Por outro lado, o vetor ($R=1;S=1$) deve ser evitado, pois conduzirá ao estado proibido. Essas informações podem ser resumidas pela tabela que segue:

R	S	Q	\bar{Q}	ação
1	0	0	1	vai para estado reset
0	0	0	1	mantém estado reset (= estado anterior)
0	1	1	0	vai para estado set
0	0	1	0	mantém estado set (= estado anterior)
1	1	0	0	estado proibido

Tabela 4.1 - Resumo do funcionamento seqüencial do latch RS.

A tabela anterior pode ser escrita de maneira mais compacta, de modo a incorporar a informação da dependência temporal.

R	S	Q_{t+1}	comentário
0	0	Q_t	mantém estado anterior
0	1	1	estado set
1	0	0	estado reset
1	1	-	proibido

Tabela 4.2 - Tabela de transição de estados para o latch RS.

A tabela 4.2 lista os valores possíveis para as entradas nas colunas mais à esquerda, admitindo que esses valores estão sendo aplicados no instante presente t. Para cada situação de entradas, o novo valor da saída (e portanto, o novo estado do latch) para o instante imediatamente posterior t+1 encontra-se na coluna mais à direita. Como a saída \bar{Q} sempre exibe o complemento da saída Q, apenas o valor de Q é listado, ficando \bar{Q} subentendido.

O comportamento de circuitos seqüenciais pode também ser expresso por meio de um diagrama denominado **diagrama de estados**. Sendo o latch RS um circuito seqüencial, pode-se usar um diagrama de estados para representar seu funcionamento, conforme mostrado na figura 4.7.

No diagrama da figura 4.7, os estados reset e set estão representados por nodos (círculos). A transição entre estados é mostrada por uma aresta (seta). A condição de entradas segundo a qual uma determinada transição pode ocorrer está definida junto a aresta respectiva. Por exemplo, estando o latch RS no estado reset, para que ele vá para o estado set é necessário que $R=0$ e $S=1$. Caso $R=0$ e $S=0$, o latch RS ficará no estado em que se encontra.

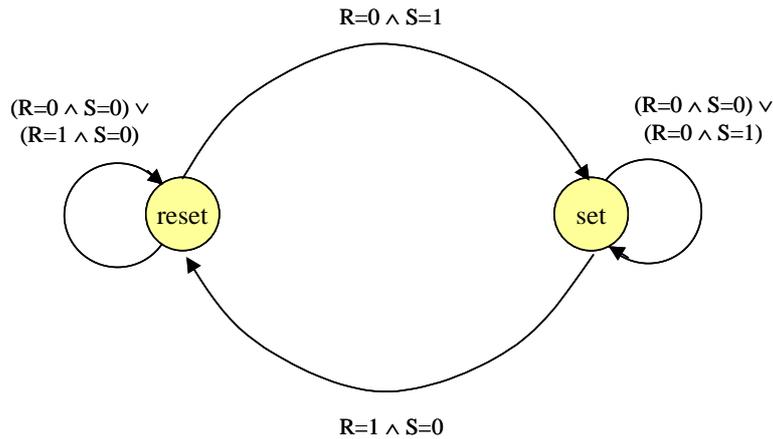


Figura 4.7 - Diagrama de estados para o latch RS.

Para evitar que se tenha que desenhar o circuito completo toda a vez que houver uma ocorrência do latch RS, costuma-se adotar o símbolo mostrado na figura 4.8.

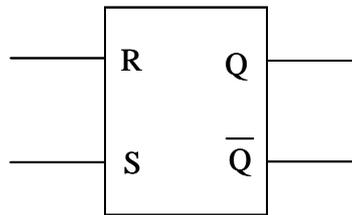
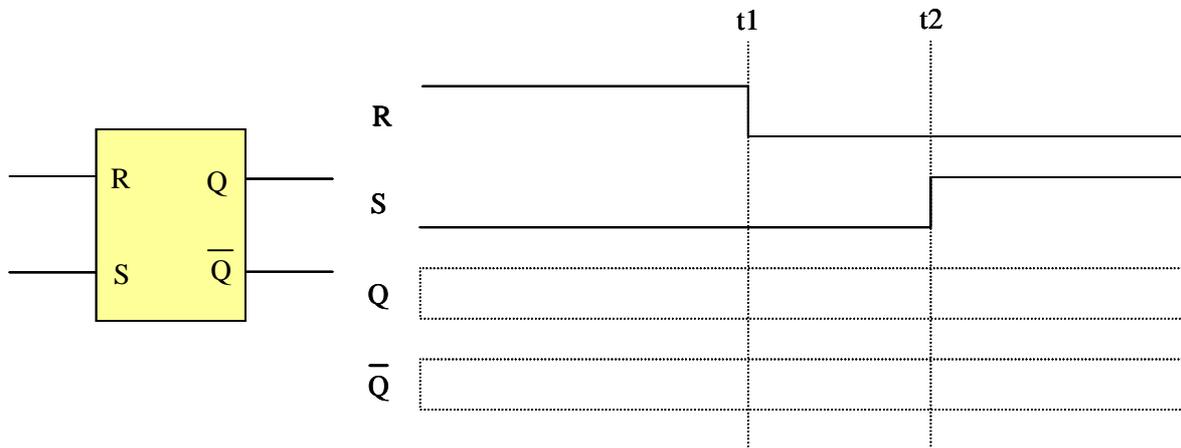


Figura 4.8 - Símbolo do latch RS.

Exemplo 4.2: desenhar as formas de onda para as saídas do latch RS abaixo, a partir das formas de onda fornecidas para as entradas R e S.



4.1.2 O Latch RS controlado

No latch RS, cujo funcionamento foi descrito na subseção 4.1.1, uma alteração das entradas R e S pode acarretar uma troca de estado. Porém, em alguns casos pode ocorrer que os sinais conectados às entradas R e S sofram variações não desejadas, sendo válidos somente em alguns intervalos de tempo bem determinados. Nesse caso, seria interessante que houvesse uma entrada de maior prioridade que fosse encarregada de controlar a habilitação do latch, deixando-o sensível ou não aos valores das entradas R e S.

Nesse sentido, o **latch RS controlado** é um aprimoramento do latch RS. Ele é construído a partir do latch RS, pela colocação de um par de portas E nas entradas R e S, conforme mostra a figura 4.9. A entrada C tem o objetivo de habilitar ou desabilitar o latch RS: caso C=0, o latch mantém o estado, pois R1=0 e S1=0; caso C=1, o latch funciona normalmente, segundo a tabela 4.2. A tabela de transição desse latch é mostrada na tabela 4.3. Note que se C=0, o latch mantém seu estado, independente dos valores de R e S (os X indicam essa independência). Repare também que há ainda outra situação em que o latch mantém o estado, qual seja, quando C=1, mas R=0 e S=0.

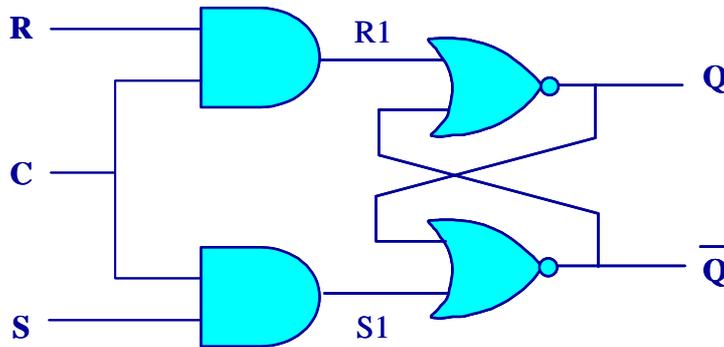


Figura 4.9 -Latch RS controlado.

C	R	S	Q_{t+1}	comentário
0	X	X	Q_t	mantém estado anterior
1	0	0	Q_t	mantém estado anterior
1	0	1	1	estado set
1	1	0	0	estado reset
1	1	1	-	proibido

Tabela 4.3 - Tabela de transição de estados para o latch RS controlado.

O diagrama de estados para o latch RS controlado é muito semelhante ao diagrama do latch RS, conforme mostra a figura 4.10. Apenas as condições para troca ou manutenção de estado são diferentes: no caso do latch RS controlado, as condições são compostas. Por exemplo, para que o latch RS controlado se mantenha num mesmo estado é necessário que C=0 ou que C=1 e R=0 e S=0.

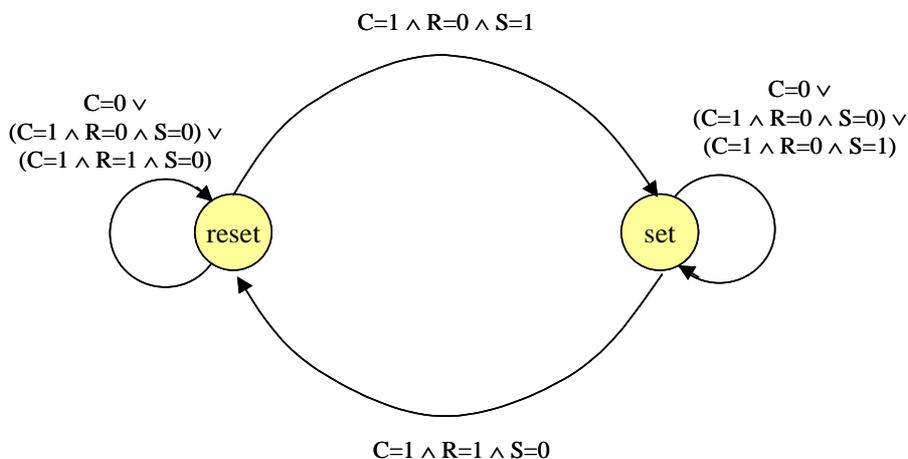


Figura 4.10 -Diagrama de estados para o latch RS controlado.

A figura 4.11 mostra o símbolo do latch RS controlado.

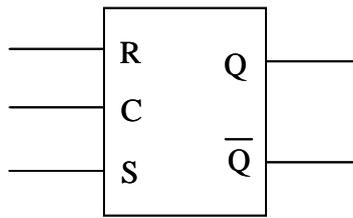
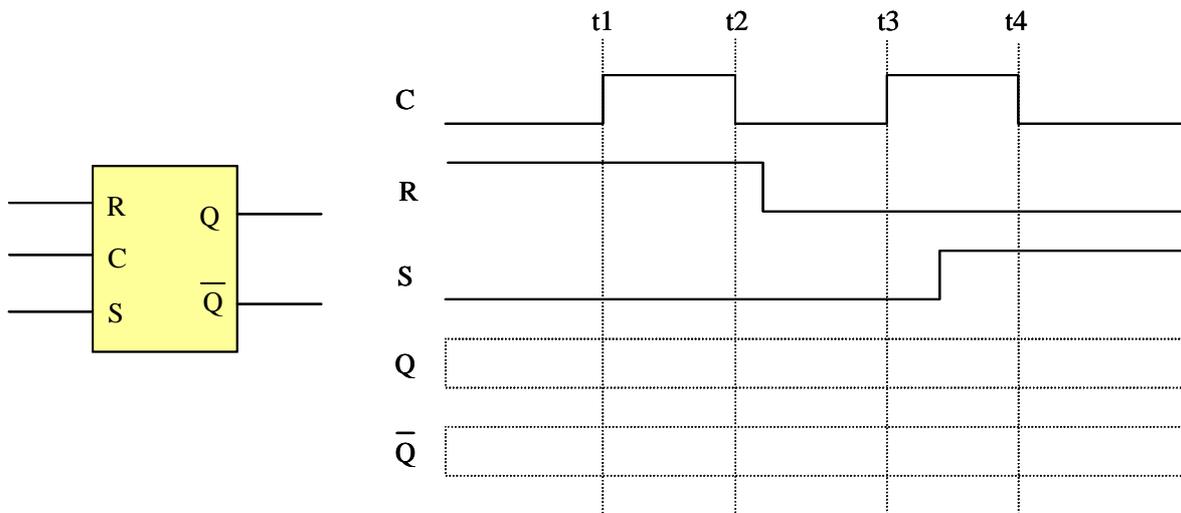


Figura 4.11 - Símbolo do latch RS controlado.

Exemplo 4.3: desenhar as formas de onda para as saídas do latch RS abaixo, a partir das formas de onda fornecidas para as entradas C, R e S.



4.1.3 O Latch D

A necessidade de evitar a ocorrência do estado proibido é um detalhe que dificulta o projeto de circuitos seqüenciais com latches RS. O latch D é construído a partir do latch RS, de maneira tal que, pela colocação de um inversor entre as entradas S e R, fica assegurado que nunca ocorrerá a situação de entradas R=1 e S=1, responsáveis pelo surgimento do estado proibido (figura 4.12). Desta forma, a tabela de transição do latch D pode ser derivada da tabela do latch RS controlado, onde as entradas R e S passam a ser a entrada D (com D=S). Duas combinações de entradas desaparecem: uma que resultava na manutenção do estado e outra que resultava no estado proibido. A tabela de transição do latch D é mostrada na tabela 4.3 e seu símbolo, na figura 4.13.

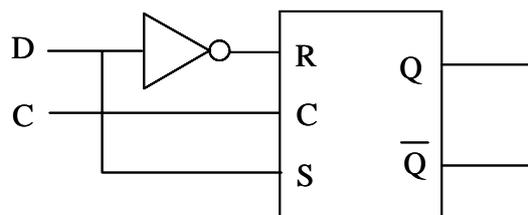


Figura 4.12: latch D.

C	D	Q_{t+1}	comentário
0	X	Q_t	mantém estado anterior
1	0	0	estado reset
1	1	1	estado set

Tabela 4.4 - Tabela de transição de estados para o latch D.

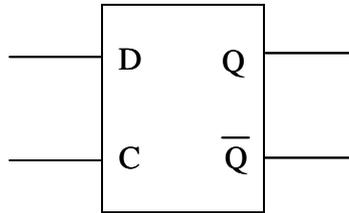
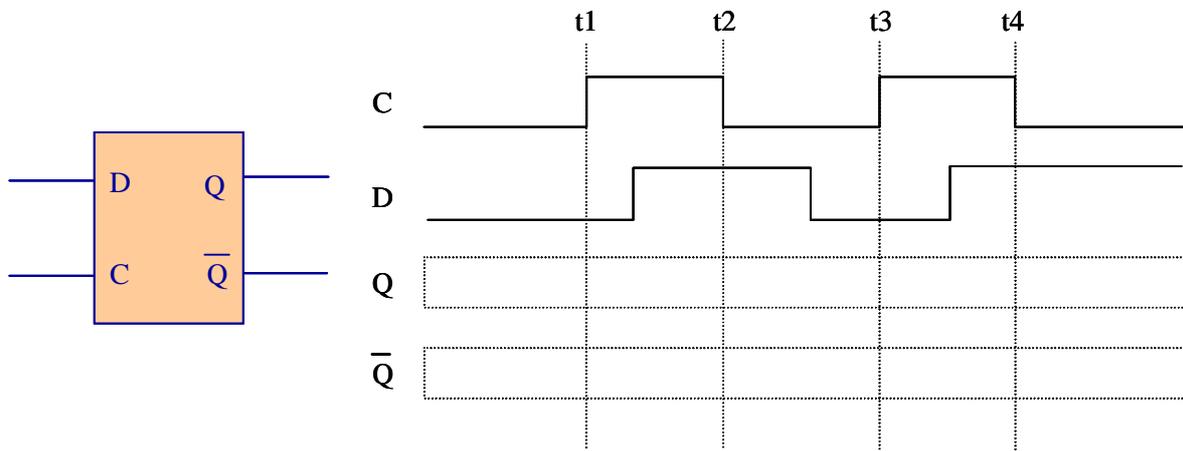


Figura 4.13 - Símbolo do latch D.

Exemplo 4.4: desenhar as formas de onda para as saídas do latch D abaixo, a partir das formas de onda fornecidas para as entradas.



4.1.4 Latches com lógica de ativação complementar

Os latches vistos até aqui apresentam **lógica de ativação direta**, isto é, estão ativados enquanto o controle estiver no nível lógico 1 e desativados enquanto o controle estiver no nível lógico 0. É possível inverter-se essa lógica de ativação pela simples inserção de um inversor antes da entrada de controle. Assim, um latch com **lógica de ativação complementar** (ou **negada** ou **invertida**) está ativado enquanto o controle vale 0 e desativado enquanto o controle vale 1. A figura 4.14 mostra os símbolos do latch RS controlado e do latch D, ambos com lógica de ativação complementar. Repare que a indicação da lógica de ativação complementar é feita por meio de um círculo colocado antes da entrada de controle.

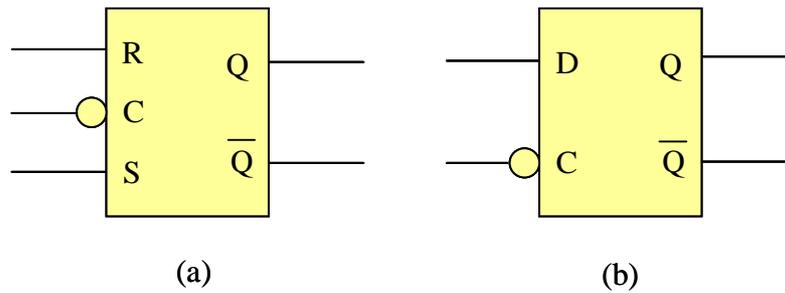


Figura 4.14 - Símbolo do latch RS controlado (a) e do latch D (b), ambos com lógica de ativação complementar.

As tabelas 4.5 e 4.6 mostram o funcionamento destes latches com lógica de ativação negada. Comparando-se com as tabelas de transição dos latches correspondentes com lógica de ativação direta, nota-se que as ações são as mesmas; apenas o que muda é o nível do sinal de controle necessário para ativá-los.

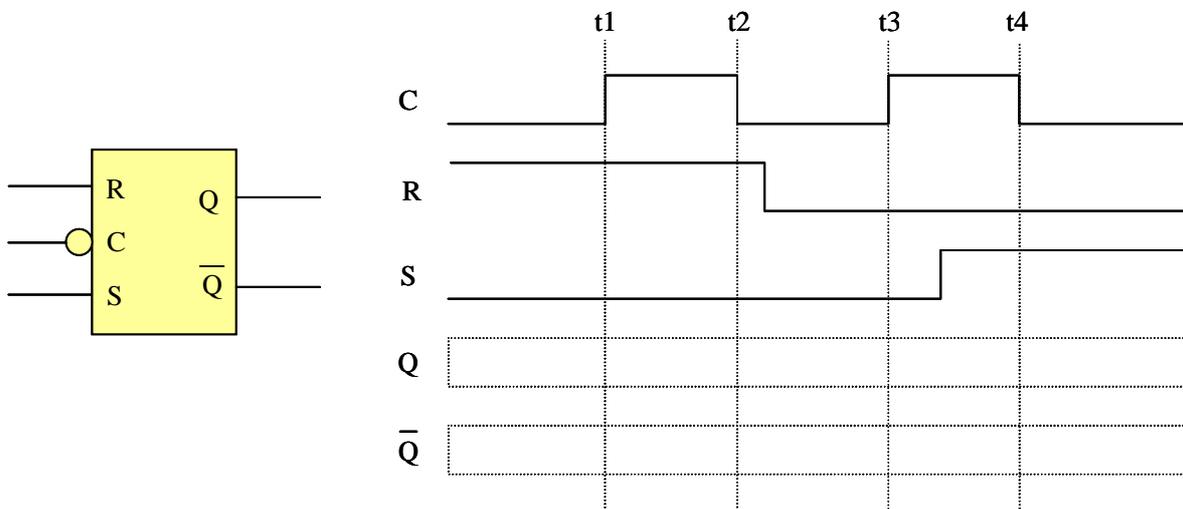
C	R	S	Q_{t+1}	comentário
1	X	X	Q_t	mantém estado anterior
0	0	0	Q_t	mantém estado anterior
0	0	1	1	estado set
0	1	0	0	estado reset
0	1	1	-	proibido

Tabela 4.5 - Tabela de transição de estados para o latch RS controlado com lógica de ativação negada.

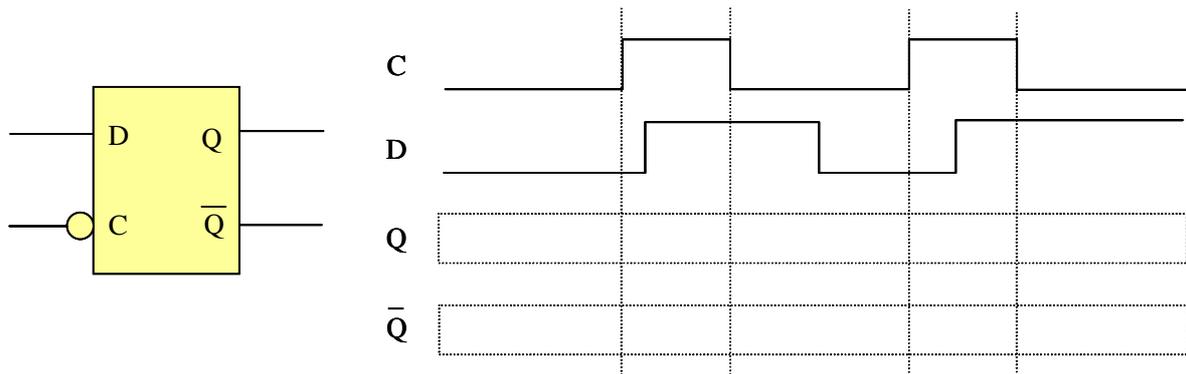
C	D	Q_{t+1}	comentário
1	X	Q_t	mantém estado anterior
0	0	0	estado reset
0	1	1	estado set

Tabela 4.6 - Tabela de transição de estados para o latch D com lógica de ativação negada.

Exemplo 4.5: desenhar as formas de onda para as saídas do latch RS abaixo, a partir das formas de onda fornecidas.



Exemplo 4.6: desenhar as formas de onda para as saídas do latch D abaixo, a partir das formas de onda fornecidas.



4.2 Flip-flops

Conforme visto na seção anterior, os latches controlados D e RS são ativados ou controlados pelo nível lógico do sinal de controle. Isso significa que, enquanto o sinal de controle estiver ativando o latch, eventuais variações das entradas D ou R e S serão percebidas pelo latch e este poderá mudar de estado. Essa característica é particularmente imprópria para a construção de circuitos seqüenciais síncronos, uma vez que em tais circuitos qualquer troca de estado deve ocorrer de maneira sincronizada com o sinal de relógio.

Os **flip-flops** são circuitos derivados dos latches, porém ativados pela transição do sinal de controle (i.e., pela borda). Isso faz com que um flip-flop permaneça ativado apenas durante um intervalo de tempo muito pequeno, após a ocorrência de uma transição do sinal de controle. Assim, uma eventual troca de estado só pode ocorrer durante esse breve intervalo de tempo em que o flip-flop está ativado. Entre duas transições sucessivas do mesmo tipo (ou subida ou descida) do sinal de controle, o flip-flop mantém o último estado adquirido.

Dependendo de sua construção, um flip-flop pode ser **disparado** pela transição de subida ou pela transição de descida do sinal de controle. Diz-se então, que flip-flops são **disparados pela borda** (**ascendente** ou **descendente**, conforme for o caso), enquanto que latches são **sensíveis ao nível lógico** (**alto** ou **baixo**, conforme for o caso). A seguir, serão estudados os flip-flops mais utilizados.

4.2.1 Flip-flop D mestre–escravo

O **flip-flop D mestre-escravo** é composto por dois latches D conectados em cascata, conforme mostra a figura 4.15: o primeiro é chamado de **mestre** e o segundo é chamado de **escravo**. O sinal de controle externo está conectado diretamente ao controle do latch mestre e ao inversor cuja saída está conectada ao controle do latch escravo.

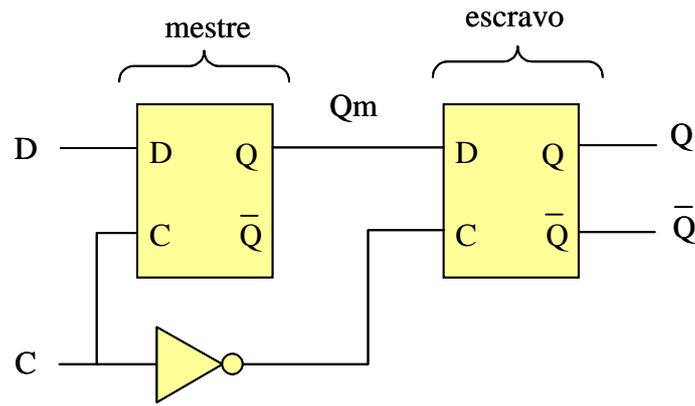


Figura 4.15 - Flip-flop D mestre-escravo.

Analisando-se as conexões, é possível deduzir facilmente que os dois latches funcionam de maneira complementar com relação ao sinal de controle externo: enquanto o controle vale 1, o mestre está ativado e o escravo está mantendo seu estado anterior e enquanto o controle vale 0, o mestre está mantendo seu estado anterior e o escravo está ativado. Como a entrada do escravo está conectada à saída do mestre, o último valor lido durante a ativação do mestre aparecerá na saída do escravo no semiperíodo seguinte. A figura 4.16 exemplifica o funcionamento do flip-flop D mestre-escravo a partir de formas de onda arbitrárias para as entradas C e D.

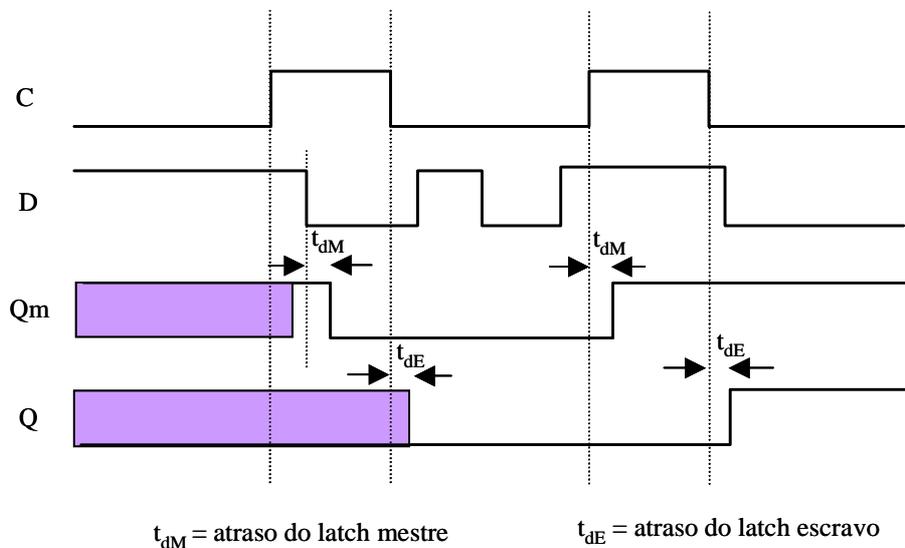
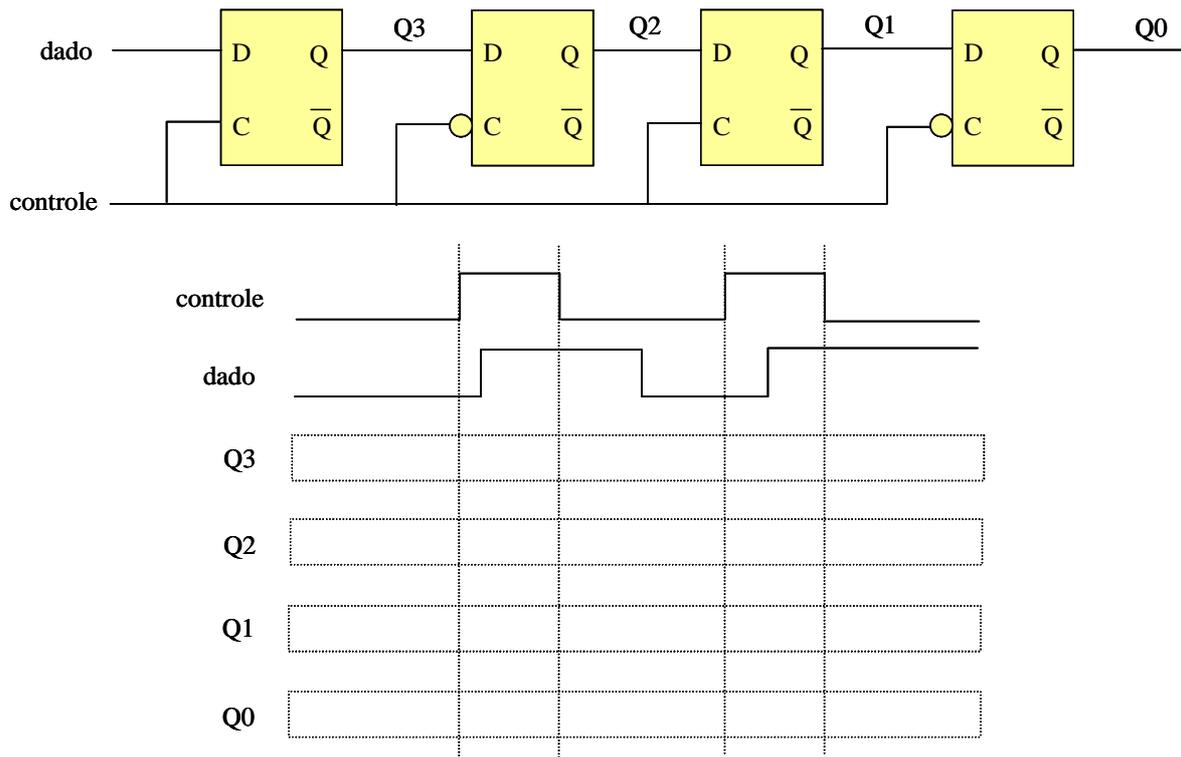


Figura 4.16 - Exemplo do funcionamento do flip-flop D mestre-escravo.

Do ponto de vista externo, o flip-flop D mestre-escravo da figura 4.15 funciona como se fosse disparado pela borda descendente do sinal de controle: o último valor de D amostrado pelo latch mestre antes da borda descendente fica armazenado, aparecendo na saída Q do latch escravo logo após a mesma borda descendente.

Exemplo 4.7: traçar as formas de onda para as saídas de cada um dos latches do circuito que segue, a partir das formas de onda fornecidas.



4.2.2 Flip-flops disparados pela borda

Um **flip-flop disparado pela borda** (também referenciado por **sensível à borda**) ignora o sinal de controle enquanto este se encontra estável num dos dois níveis lógicos. Porém, quando o sinal de controle passa por uma transição, o flip-flop disparado pela borda fica ativado por um breve instante durante o qual as entradas podem (ou não) determinar a troca de seu estado. Dependendo da maneira como é construído, o flip-flop será disparado ou somente pela borda ascendente ou somente pela borda descendente. A figura 4.17 mostra o circuito de um flip-flop D disparado pela borda ascendente, feito com portas nand de duas entradas.

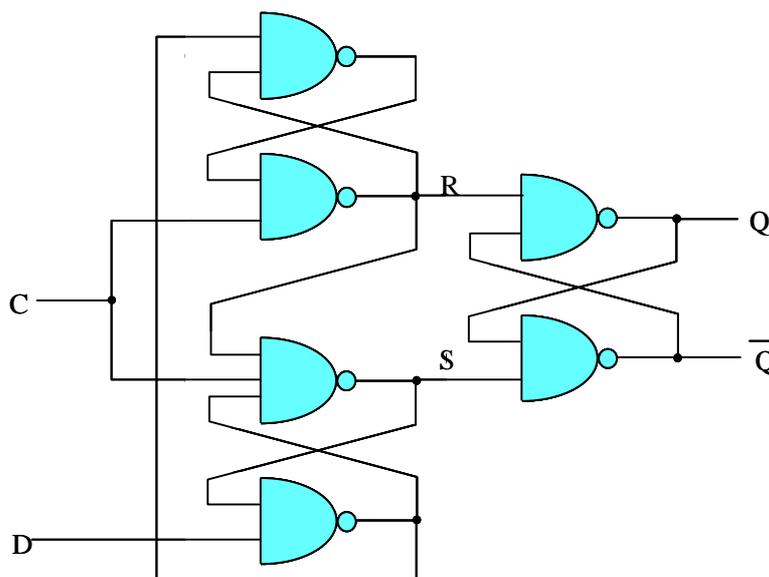


Figura 4.17 - Flip-flop D disparado pela borda ascendente.

A tabela de transição de um flip-flop D disparado pela borda ascendente é mostrada a seguir.

C	D	Q_{t+1}	comentário
$\neq \uparrow$	X	Q_t	mantém estado anterior
\uparrow	0	0	estado reset
\uparrow	1	1	estado set

Tabela 4.7 - Tabela de transição de estados para o flip-flop D disparado pela borda ascendente.

Na tabela anterior, o símbolo \uparrow indica que a ativação do flip-flop é instantânea e só ocorre durante as bordas ascendentes do sinal de controle C. Por outro lado, entre duas bordas ascendentes consecutivas do sinal de controle, o flip-flop mantém o estado anteriormente armazenado. O símbolo do flip-flop D é mostrado na figura 4.18; o triângulo colocado na entrada de controle C indica que a ativação se dá pela borda ascendente (e não pelo nível lógico, como ocorre no latch D).

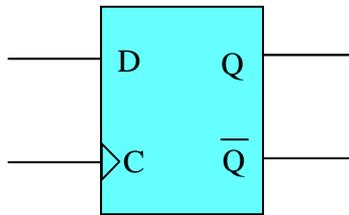
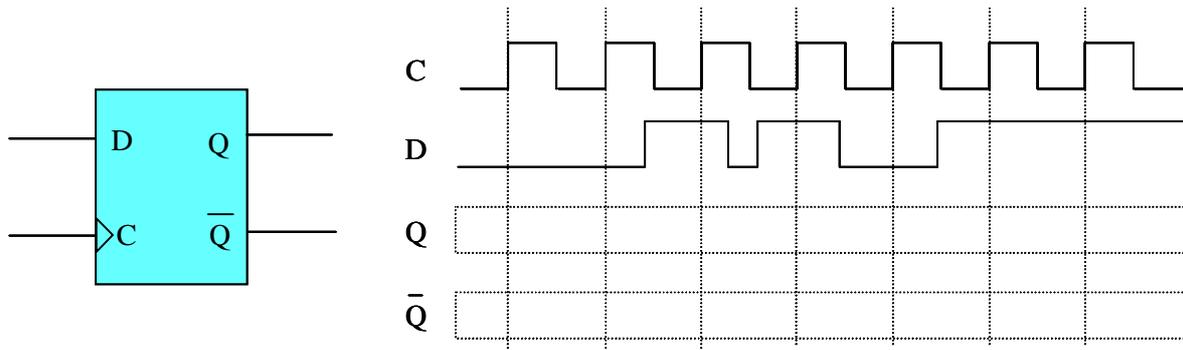


Figura 4.18 - Símbolo do flip-flop D disparado pela borda ascendente.

Exemplo 4.8: traçar as formas de onda para as saídas do flip-flop que segue, a partir das formas de onda fornecidas.



Além do flip-flop D existe também o flip-flop JK, cujo funcionamento é mostrado na tabela 4.8. Note que seu funcionamento assemelha-se ao do latch RS, exceto que a combinação de entradas ($J=1;K=1$) não leva a um estado proibido, mas sim à complementação do estado anterior. Da mesma forma que o flip-flop D, esse flip-flop é ativado instantaneamente durante a passagem de uma borda ascendente do sinal de controle. Entre duas bordas ascendentes consecutivas, o flip-flop mantém o estado anterior.

C	J	K	Q_{t+1}	comentário
$\neq \uparrow$	X	X	Q_t	mantém estado anterior
\uparrow	0	0	Q_t	mantém estado anterior
\uparrow	0	1	0	estado reset
\uparrow	1	0	1	estado set
\uparrow	1	1	$\overline{Q_t}$	complementa estado anterior

Tabela 4.8 - Tabela de transição de estados para o flip-flop JK disparado pela borda ascendente.

O símbolo do flip-flop JK disparado pela borda ascendente é mostrado na figura 4.19. Também nesse símbolo, o triângulo na entrada de controle indica que a ativação se dá pela borda ascendente.

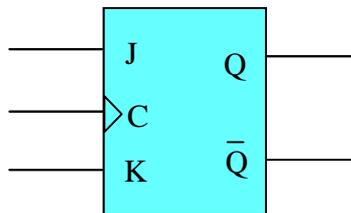
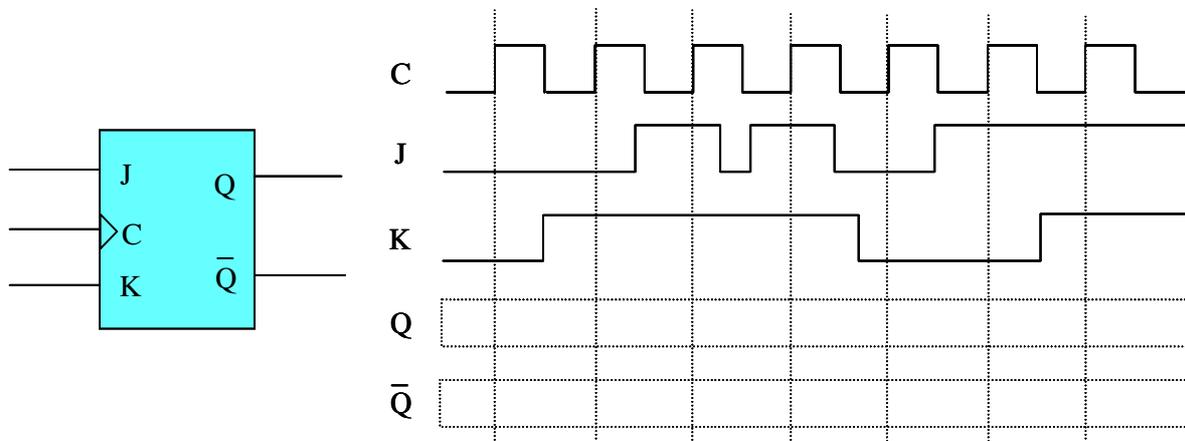


Figura 4.19 - Símbolo do flip-flop JK disparado pela borda ascendente.

Exemplo 4.9: traçar as formas de onda para as saídas do flip-flop JK que segue, a partir das formas de onda fornecidas.



4.2.3 Flip-flops disparados pela borda descendente

Um **flip-flop disparado pela borda descendente** é ativado apenas no instante em que o sinal de controle passa pela borda descendente. Nesse instante, o flip-flop amostra os sinais das entradas (D ou J e K), podendo mudar de estado conforme o valor destas entradas. Entre duas bordas descendentes consecutivas, o flip-flop mantém o estado anterior. As tabelas 4.9 e 4.10 mostram o funcionamento do flip-flop D e do flip-flop JK disparados pela borda descendente, respectivamente.

C	D	Q_{t+1}	comentário
$\neq \downarrow$	X	Q_t	mantém estado anterior
\downarrow	0	0	estado reset
\downarrow	1	1	estado set

Tabela 4.9 - Tabela de transição de estados para o flip-flop D disparado pela borda descendente.

C	J	K	Q_{t+1}	comentário
\neq	X	X	Q_t	mantém estado anterior
\downarrow	0	0	Q_t	mantém estado anterior
\downarrow	0	1	0	estado reset
\downarrow	1	0	1	estado set
\downarrow	1	1	$\overline{Q_t}$	complementa estado anterior

Tabela 4.10 - Tabela de transição de estados para o flip-flop JK disparado pela borda descendente.

A figura 4.20 mostra os símbolos do flip-flop D e do flip-flop JK disparados pela borda descendente. Note a existência de um círculo antes da entrada de controle, indicando que os flip-flops são disparados pela borda descendente.

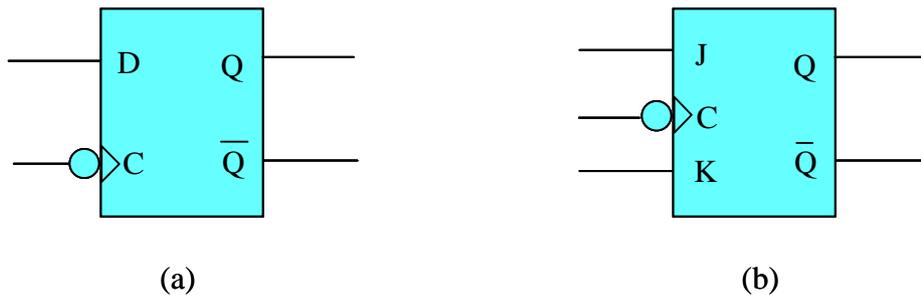
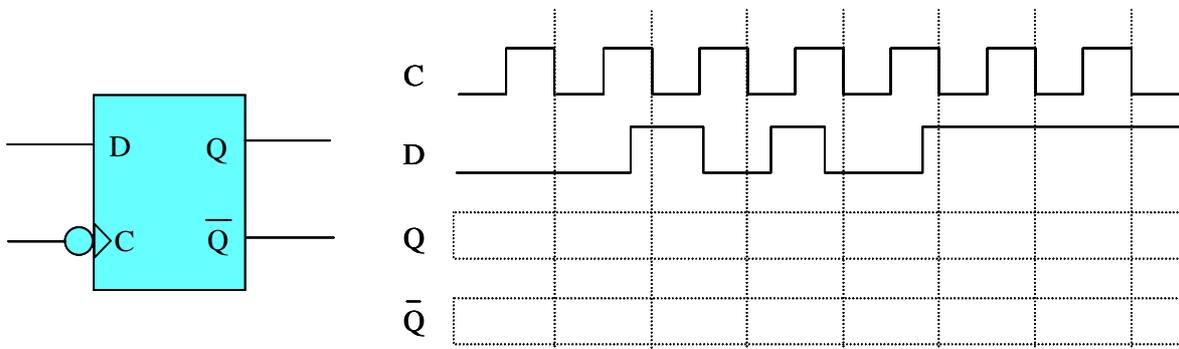


Figura 4.20 - Símbolos para o flip-flop D (a) e para o flip-flop JK (b), ambos disparados pela borda descendente.

Exemplo 4.10: traçar as formas de onda para as saídas do flip-flop D que segue, a partir das formas de onda fornecidas. (Note que o enunciado não diz se o flip-flop é disparado pela borda ascendente ou pela borda descendente, pois essa informação faz parte da interpretação da questão!)



4.2.4 Set e Reset Assíncronos

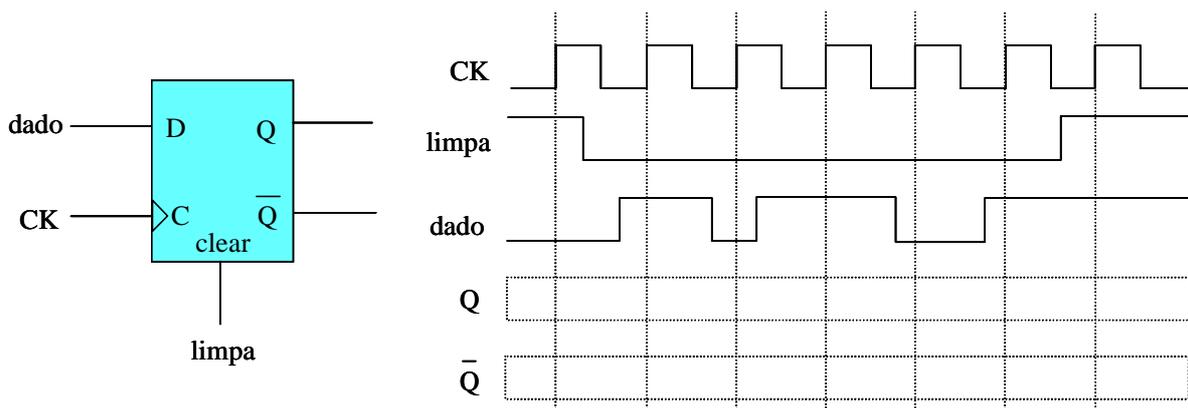
Nos circuitos seqüenciais complexos, muitas vezes é necessário que se possa colocar todos os flip-flops num estado conhecido, o qual pode ser o estado reset ($Q=0$) ou o estado set ($Q=1$). Entretanto, todos os flip-flops de um circuito seqüencial síncrono estão sujeitos ao mesmo sinal de controle, que normalmente é o sinal de relógio, de modo que qualquer mudança de estado somente pode ocorrer após uma borda de relógio. Além disso, a operação de "resetar" (i.e., fazer o flip-flop ir para o estado reset) ou "setar" (i.e., fazer o flip-flop ir para o estado set) pode não ser banal.

A fim de permitir que seja possível "resetar" ou "setar" um flip-flop a qualquer tempo, os flip-flops podem ser construídos de modo a possuir um pino de "reset" assíncrono e/ou um pino de "set" assíncrono. A denominação "assíncrono" refere-se ao fato de que a ação deste pino é independente do sinal de controle. Tais pinos são denominados **clear** (ou **DC reset**) e **preset** (ou **DC set**).

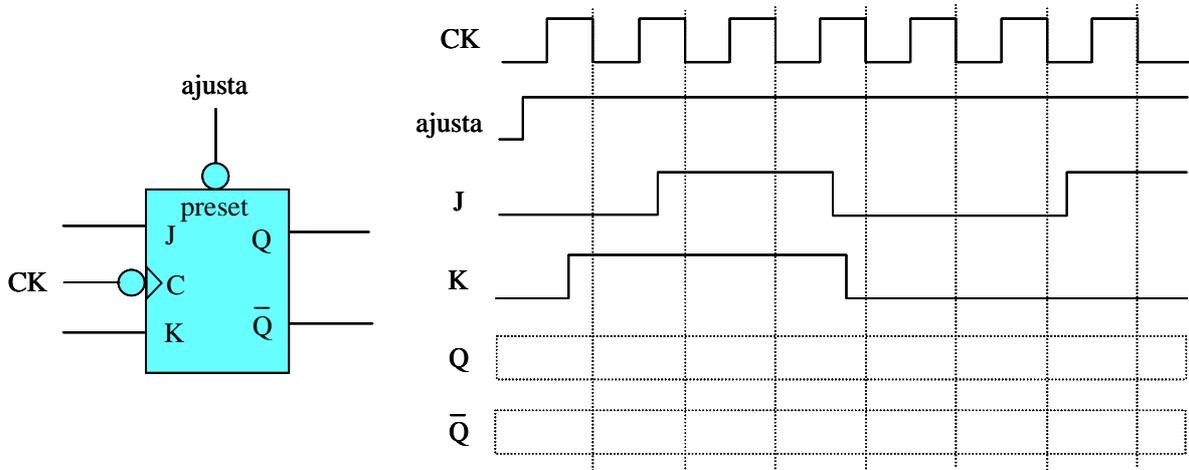
Então, para um flip-flop que tenha o pino de **clear** (ou DC reset), enquanto este pino estiver ativado, a saída Q do flip-flop estará estável com o valor 0, **independente dos valores das demais entradas (incluindo a de controle)**. De modo similar, para um flip-flop que tenha o pino **preset** (ou DC set), enquanto este pino estiver ativado, a saída Q do flip-flop estará estável com o valor 1, **independente dos valores das demais entradas (incluindo a de controle)**. Alguns flip-flops podem possuir ambos pinos (clear e preset). Porém, não tem sentido ativar ambos simultaneamente.

A ativação dos pinos clear e preset pode se dar por meio de lógica direta (i.e., nível lógico 1) ou por lógica complementar (i.e., nível lógico 0), o que é possível de ser identificado pelo desenho do flip-flop: caso haja um círculo junto ao pino, a ativação se dá com lógica complementar; caso contrário, a ativação se dá com lógica direta.

Exemplo 4.11: traçar as formas de onda para as saídas do flip-flop que segue, a partir das formas de onda fornecidas.



Exemplo 4.12: traçar as formas de onda para as saídas do flip-flop que segue, a partir das formas de onda fornecidas.



4.3 Análise de Circuitos Seqüenciais

Circuitos seqüenciais podem ser facilmente reconhecidos pelo fato de serem constituídos de flip-flops, além de outras portas, possivelmente. Se por um lado, os diagramas esquemáticos são suficientes para especificar perfeitamente a estrutura, o comportamento de um circuito seqüencial é mais difícil de ser descrito, demandando mais recursos de representação. Dentre os recursos normalmente empregados na descrição do comportamento de circuitos seqüenciais estão os **diagramas de estados**, as **tabelas de transição de estados**, as **tabelas de saídas** (que nada mais são que tabelas verdade) e as **equações Booleanas**.

Denomina-se **análise** ao processo de descrever o funcionamento de um circuito a partir da descrição de sua estrutura. Assim, dado o esquemático de um circuito seqüencial, desejamos determinar seu comportamento, o que deverá ser feito com o uso dos recursos citados acima.

Exemplo 4.13: determinar a tabela de transição de estados, a tabela de saída e o diagrama de estados para o circuito seqüencial mostrado na figura 4.21.

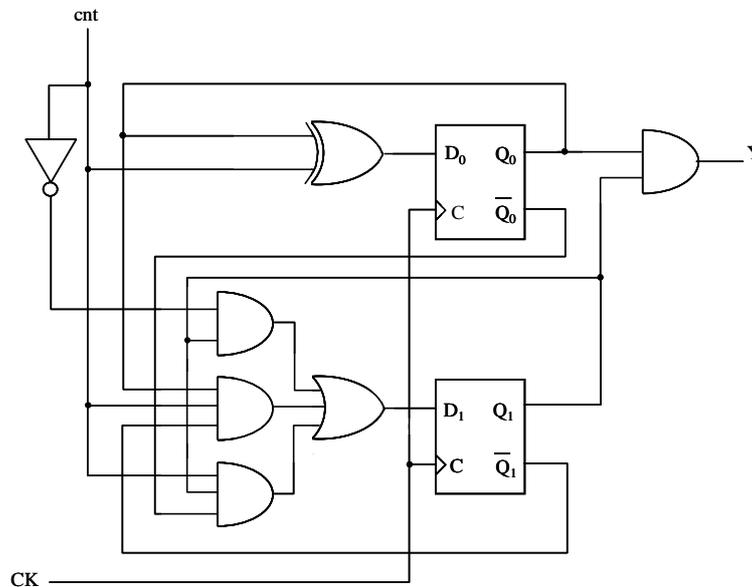


Figura 4.21 - Exemplo de circuito seqüencial.

O circuito apresenta uma entrada (cnt) e uma saída (Y). Além disso, há 2 flip-flops D, cujo conteúdo representa o estado em que o circuito se encontra.

O primeiro passo na análise é determinar as equações Booleanas para as entradas de cada flip-flop, em função da entrada externa cnt e das saídas dos flip-flops (Q0 e Q1). Deste modo, as equações são:

$$D_0 = cnt \oplus Q_0 = cnt \cdot \overline{Q_0} + cnt \cdot Q_0 \quad (4.2)$$

$$D_1 = \overline{cnt} \cdot Q_1 + cnt \cdot \overline{Q_1} \cdot Q_0 + cnt \cdot Q_1 \cdot \overline{Q_0} \quad (4.3)$$

As equações 4.2 e 4.3 são chamadas **equações de excitação**, uma vez que elas descrevem o comportamento dos sinais que são aplicados às entradas dos flip-flops, os quais irão determinar o estado do circuito seqüencial para o próximo ciclo de relógio. Aplicando as

equações de excitação às equações características dos flip-flops, obtém-se as chamadas **equações de estado**. Nesse exemplo, os flip-flops são do tipo D. Para este tipo de flip-flop, $Q_{t+1} = D_t$ (ou seja, a saída copia a entrada). Então, as equações de próximo estado são:

$$\overline{Q0_{t+1}} = \overline{cnt} \cdot \overline{Q0_t} + cnt \cdot \overline{Q0_t} \quad (4.4)$$

$$Q1_{t+1} = cnt \cdot Q1_t + \overline{cnt} \cdot \overline{Q1_t} \cdot Q0_t + cnt \cdot Q1_t \cdot \overline{Q0_t} \quad (4.5)$$

Com relação à saída, a equação que a descreve é:

$$Y = Q0 \cdot Q1 \quad (4.6)$$

Utilizando as equações de estado, é possível montar-se a tabela de transição de estados do circuito. Nas colunas mais à esquerda dessa tabela estão os valores referentes às variáveis de entrada e ao estado atual, enquanto que nas colunas mais à direita estão os valores correspondentes ao próximo estado associado a cada combinação de entradas. O estado de um circuito seqüencial é definido pelos valores binários armazenados nos seus flip-flops. No caso em análise, há dois flip-flops. Logo, o número de estados possíveis para esse circuito é quatro, pois as variáveis (Q0,Q1) podem valer 00, 01, 10 ou 11. Além disso, existe somente uma variável de entrada: cnt. A tabela de transição de estados é mostrada a seguir.

entrada cnt	estado atual		próximo estado	
	Q1 _t	Q0 _t	Q1 _{t+1}	Q0 _{t+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

Tabela 4.11 - Tabela de transição de estados para o circuito da figura 4.21.

A tabela de transição de estados apresenta 8 combinações de entradas referentes aos 4 estados do circuito (estado atual), combinados com os 2 valores possíveis para a entrada cnt. Associado a cada uma destas combinações existe um estado que será armazenado pelo circuito após a próxima borda ascendente do sinal de relógio, que é o chamado **próximo estado**. O próximo estado é definido pelas equações de estado 4.4 e 4.5. Na tabela 4.11 é possível notar que, sempre que cnt vale 0, o próximo estado é igual ao estado atual, ou seja, o circuito não irá mudar de estado. Porém, quando cnt vale 1, o circuito muda de estado na chegada de uma borda ascendente do relógio.

A partir da equação da saída, monta-se uma tabela de saída. Essa tabela mostra o valor da saída Y para cada combinação entre a entrada cnt e as variáveis do estado atual (ou seja, as mesmas combinações do lado esquerdo da tabela 4.11). A tabela de saída é mostrada a seguir. Note que, conforme já descreve a equação, Y independe da entrada cnt.

entrada	estado atual		saída
	Q1 _t	Q0 _t	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Tabela 4.12 - Tabela de saída para o circuito da figura 4.21.

O diagrama de estados é uma maneira pictórica de representar a informação mostrada na tabela de transição de estados e na tabela de saída. Nele, cada estado que o circuito pode armazenar é representado por um nodo (um círculo), no qual são anotados os valores das variáveis de estado e os valores das saídas do circuito. As possíveis transições entre estados são indicadas com arestas (arcos com setas). Junto a cada aresta são anotadas as condições das variáveis de entrada necessárias para a transição ocorrer. Eventualmente, a única condição para a troca pode ser a borda do relógio. Neste caso, nenhuma condição é anotada na aresta. A figura 4.22 mostra o diagrama de estados para o circuito da figura 4.21. Note a clareza da representação. Por exemplo, é facilmente verificável que se trata de um circuito capaz de contar segundo a seqüência 0, 1, 2, 3, 0, Nota-se também que o sinal cnt é um sinal de habilitação: caso cnt valha 0, a contagem é parada (i.e., os flip-flops mantêm o último estado armazenado); uma vez que cnt volte para 1, o circuito continua a contagem de onde parou. Trata-se, portanto, de um **contador síncrono de módulo-4** (i.e., que conta de 0 a 3). Além disso, o sinal de saída Y serve para indicar quando a contagem atingiu o valor 3 (Q1=1, Q0=1). Logo, enquanto o circuito permanecer no estado 11, Y permanecerá com o valor 1.

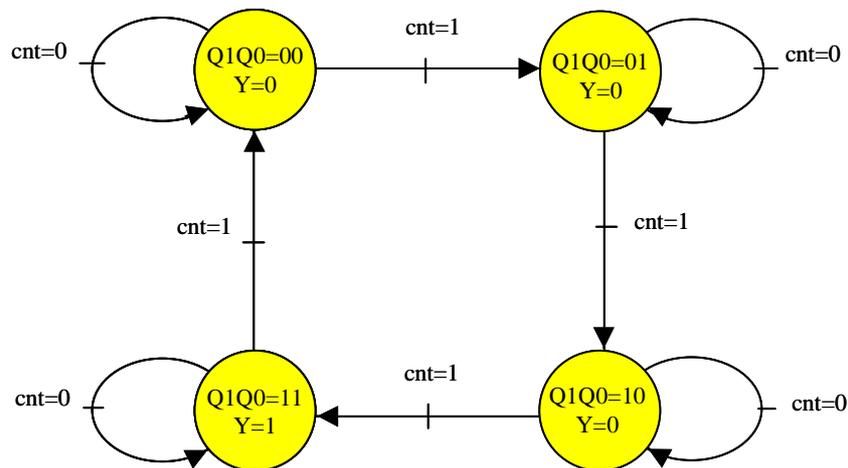


Figura 4.22 - Diagrama de estados para o circuito seqüencial da figura 4.21.

Na figura 4.23 são mostradas formas de onda que ilustram uma possível contagem: o circuito foi suposto partir do estado 00 e o sinal cnt foi mantido com valor lógico 1 por 3 ciclos de relógio consecutivos. Após, cnt foi feito igual a zero, o que desabilitou a contagem. Com isso, o circuito contou de 0 a 3, parando em 3. Verifique o comportamento da saída Y durante esta operação.

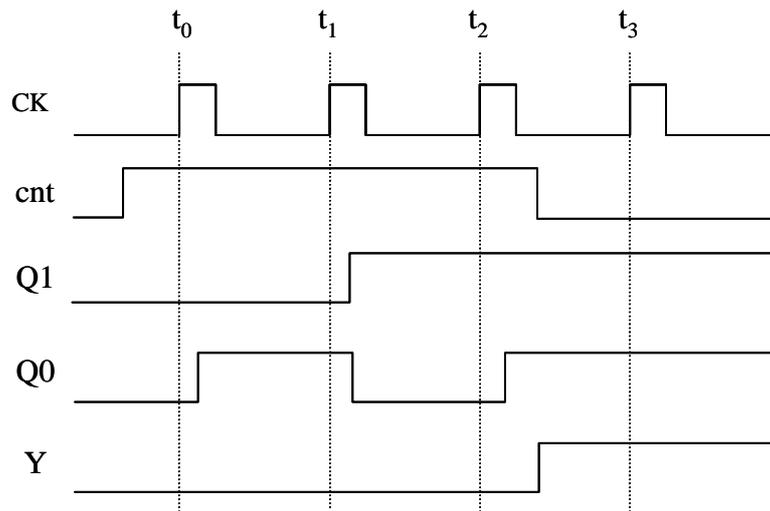


Figura 4.23: diagrama de tempos para uma possível operação do circuito seqüencial da figura 4.21.

Exemplo 4.14: determinar a tabela de transição de estados, a tabela de saída e o diagrama de estados para o circuito seqüencial mostrado na figura 4.24.

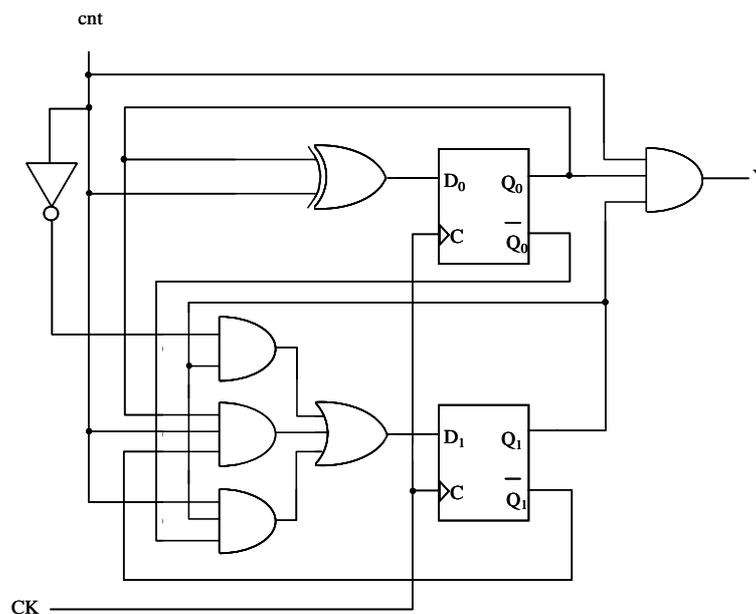


Figura 4.24 - Outro exemplo de circuito seqüencial.

Conforme pode ser visto, esse circuito se diferencia daquele da figura 4.21 somente pela saída Y, que neste caso também depende da entrada cnt. Mais precisamente, Y será igual a 1 somente quando $Q_1Q_0=11$ e cnt for igual a 1 (ou seja, enquanto o circuito estiver contando):

$$Y = cnt \cdot Q_0 \cdot Q_1 \tag{4.7}$$

Como a diferença entre este circuito e aquele da figura 4.21 diz respeito somente à saída Y, as equações de estado para esse circuito correspondem às equações de estado 4.4 e 4.5. E por conseguinte, a tabela de transição de estados para esse circuito é a tabela 4.11.

Somente a tabela de saída será diferente, uma vez que a equação de saída é diferente. A tabela de saída para o circuito da figura 4.24 é mostrada a seguir.

entrada	estado atual		saída
	Q1 _t	Q0 _t	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Tabela 4.13 - Tabela de saída para o circuito da figura 4.24.

O diagrama de estados para esse circuito é um pouco diferente do diagrama mostrado na figura 4.22: além de se anotar as condições de entrada para a transição ocorrer em cada aresta, anotam-se também os valores das saídas. O diagrama de estados para o circuito da figura 4.24 é mostrado na figura 4.25.

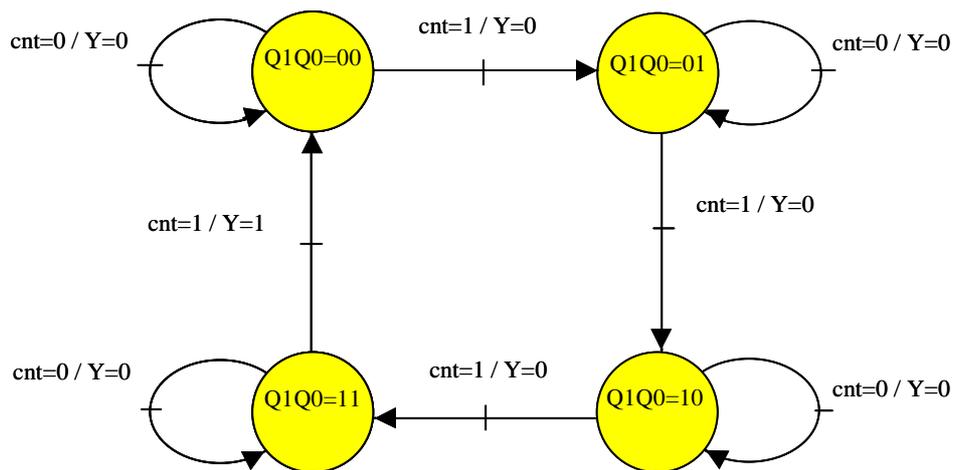


Figura 4.25 - Diagrama de estados para o circuito sequencial da figura 4.24.

Na figura 4.26 são mostradas formas de onda que ilustram uma possível operação do circuito da figura 4.24. O circuito conta de 0 até 3. No meio do ciclo em que a contagem atinge o valor 3 (e portanto, $Y=1$), o sinal cnt passa a valer 0, o que suspende a contagem e faz Y passar para 0.

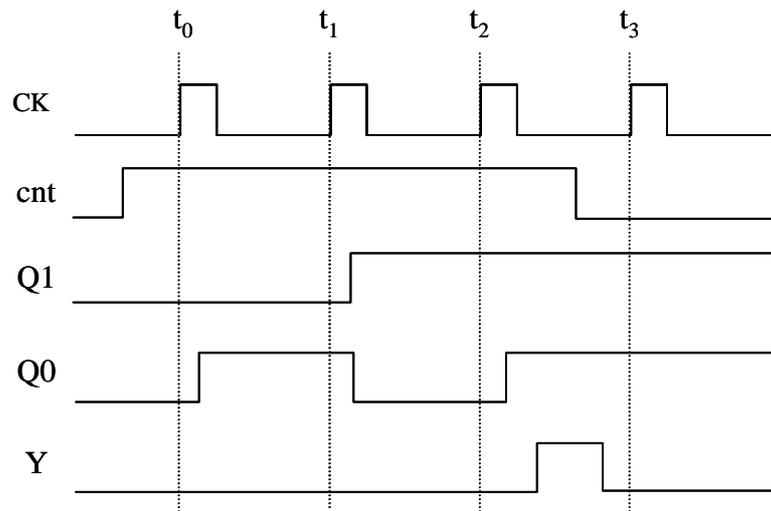


Figura 4.26 - Diagrama de tempos para uma possível operação do circuito seqüencial da figura 4.24.

4.4 Modelos de Circuitos Seqüenciais (Máquinas de Estados)

Cada um dos circuitos estudados nos dois exemplos anteriores (4.13 e 4.14) corresponde a um dos dois modelos possíveis para circuitos seqüenciais, quais sejam:

- **modelo dependente dos estados** ou **modelo de Moore** (exemplo 4.13) e
- **modelo dependente das entradas** ou **modelo de Mealy** (exemplo 4.14).

No caso do modelo de Moore, as saídas dependem única e exclusivamente do estado em que o circuito se encontra, de modo que uma mudança nos valores das entradas só toma efeito após a próxima borda do relógio. Já no caso do modelo de Mealy, as saídas dependem não somente do estado em que o circuito se encontra, mas também do valor atual das entradas externas, de modo que se estas se alteraram ainda antes da troca de estados, as saídas do circuito podem se alterar. As figuras 4.27 e 4.28 mostram os diagramas de blocos para o modelo de Moore e de Mealy, respectivamente.

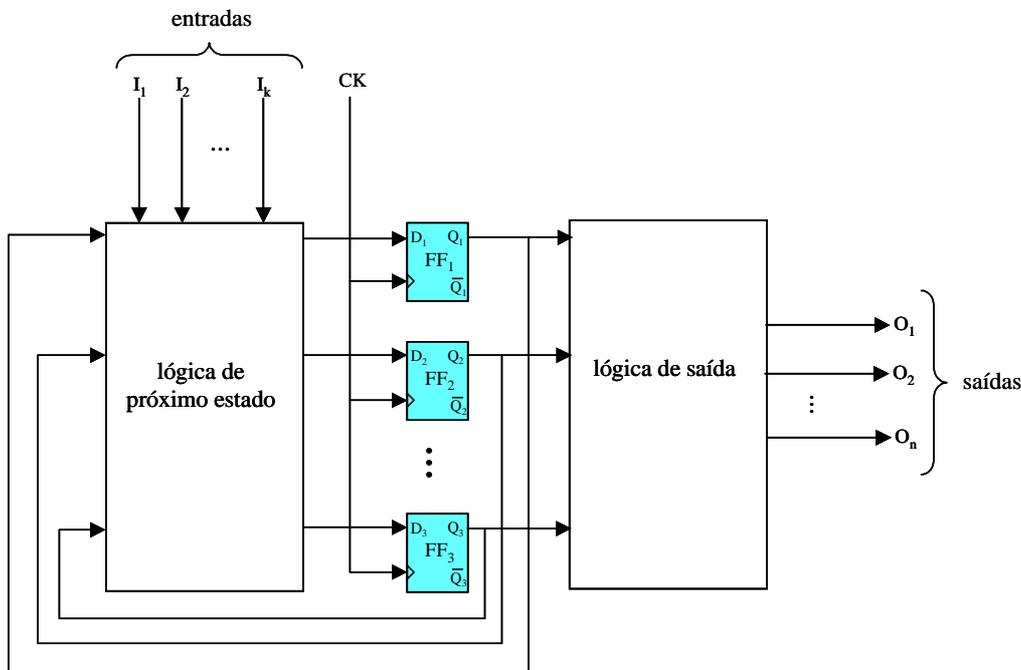


Figura 4.27 - Diagrama de blocos para o modelo de Moore.

Nestes diagramas, o bloco combinacional foi subdividido em dois blocos: um responsável exclusivamente pela geração do próximo estado, denominado bloco de próximo estado (pois implementa as equações de estados) e um que gera os valores das saídas, denominado bloco de saída. Além destes dois blocos de lógica combinacional, existe um conjunto de flip-flops que armazenam o estado do circuito. O número de estados possíveis do circuito é 2^n , com n sendo o número de flip-flops.

No caso dos exemplos 4.13 e 4.14, o bloco de saída é constituído apenas pela porta E que gera o sinal de saída Y. Já o bloco de próximo estado contém as portas que estão à esquerda dos flip-flops. Essas portas implementam as funções de estado.

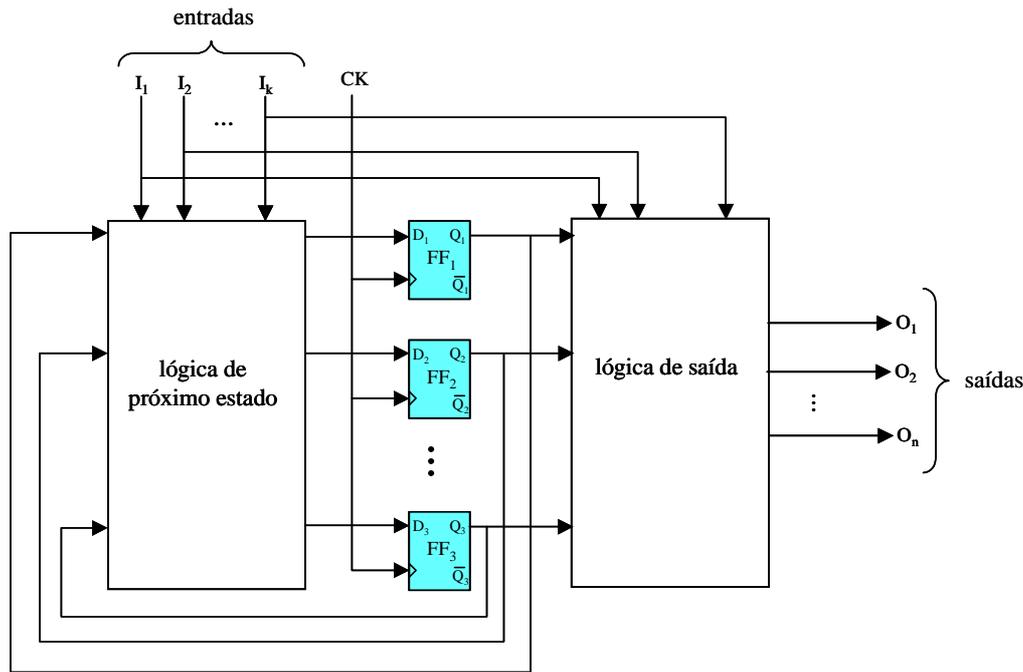


Figura 4.28 - Diagrama de blocos para o modelo de Mealy.

4.5 Projeto de Circuitos Sequenciais

O projeto de um circuito sequencial normalmente inicia pela definição de seu comportamento de maneira textual e com a transcrição deste comportamento para um diagrama de estados, de modo a detalhar os estados existentes, as condições para trocas de estados e os valores das saídas. Pela análise do diagrama de estados é possível identificar o modelo de máquina de estados a ser seguido (Moore ou Mealy). Inicialmente, os estados ainda não estarão assinalados a valores binários, recebendo apenas nomes simbólicos que podem ser letras do alfabeto, números inteiros ou nomes. Após, deve-se gerar as tabelas de transição de estados e de saída, a partir das informações constantes no diagrama de estados. Neste ponto, será necessário associar uma combinação de valores binários para cada estado. Caso o número de estados seja menor do que o número de combinações existentes, algumas combinações não serão utilizadas. Essa fase é denominada assinalamento de estados. Então, as equações de estados e as equações das saídas poderão ser derivadas a partir das tabelas. Caso não for possível minimizar as equações usando mapas de Karnaugh (se o número de variáveis for grande), será necessário utilizar algum programa de minimização, tal como o Espresso. As equações de estado representam a funcionalidade do bloco de próximo estado, enquanto as equações de saída descrevem o comportamento do bloco de saída. O último passo será o mapeamento da função de próximo estado e da função de saída para as portas lógicas disponíveis, caso alguma biblioteca seja especificada.

Exemplo 4.15: projetar um circuito contador módulo 4 incrementador/decrementador. Esse circuito tem duas entradas: habilitação de contagem (H) e direção de contagem (D). Quando $H=1$, o contador irá contar na direção definida por D, parando quando $H=0$. A contagem será para cima (incremento) se $D=0$ e para baixo (decremento) se $D=1$. O contador possui uma saída Y, a qual vale 1 quando o contador atingir o valor 11, independente da direção da contagem.

Bibliografia Suplementar

- [1] GAJSKI, Daniel D. **Principles of Digital Design**, New Jersey: Prentice Hall, 1997 (ISBN 0-13-301144-5)
- [2] MANO, M. Morris; **Computer Engineering: Hardware Design**. New Jersey: Prentice Hall, 1988 (ISBN 0-13-162926-3)
- [3] BROWN, Stephen; VRANESIC, Zvonko. **Fundamentals of Digital Logic with VHDL Design**. McGraw-Hill Higher Education (a McGraw-Hill Company), 2000 (<http://www.mhhe.com/engcs/electrical/brownvranesic>)