



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Curso de Graduação em Ciências da Computação



Sistemas Digitais

INE 5406

Aula 11-P

Descrição em VHDL, síntese e simulação de um sistema digital completo (BO + BC).

Prof. José Luís Güntzel
guntzel@inf.ufsc.br

www.inf.ufsc.br/~guntzel/ine5406/ine5406.html

Sistema Digital Completo (BO + BC)

▶ Experimento 3: Setup Experimental

1. Na pasta Meus_documentos, criar uma pasta com o seu nome (p. ex., “Paulo”). Na pasta “Paulo”, criar uma pasta com nome de “multiplicador”.
2. Acessar o sítio “www.inf.ufsc.br/~guntzel/ine5406/aula11P/acompletar” e baixar os arquivos VHDL para a pasta “multiplicador” recém criada.
3. Abrir o Quartus II e criar na pasta “multiplicador” um projeto com o nome “multiplicador”, selecionando “multiplicador.vhd” como toplevel. Escolher o dispositivo FPGA EP2C35F672C6 e selecionar o ModelSim-Altera como EDA Simulation Tool.
4. Abrir o arquivo “multiplicador.vhd” no editor do Quartus II e completá-lo. Este arquivo deve juntar o BO e o BC do multiplicador, conforme discutido na aula passada. Para tanto, estudar os slides que seguem.

Sistema Digital Completo (BO + BC)

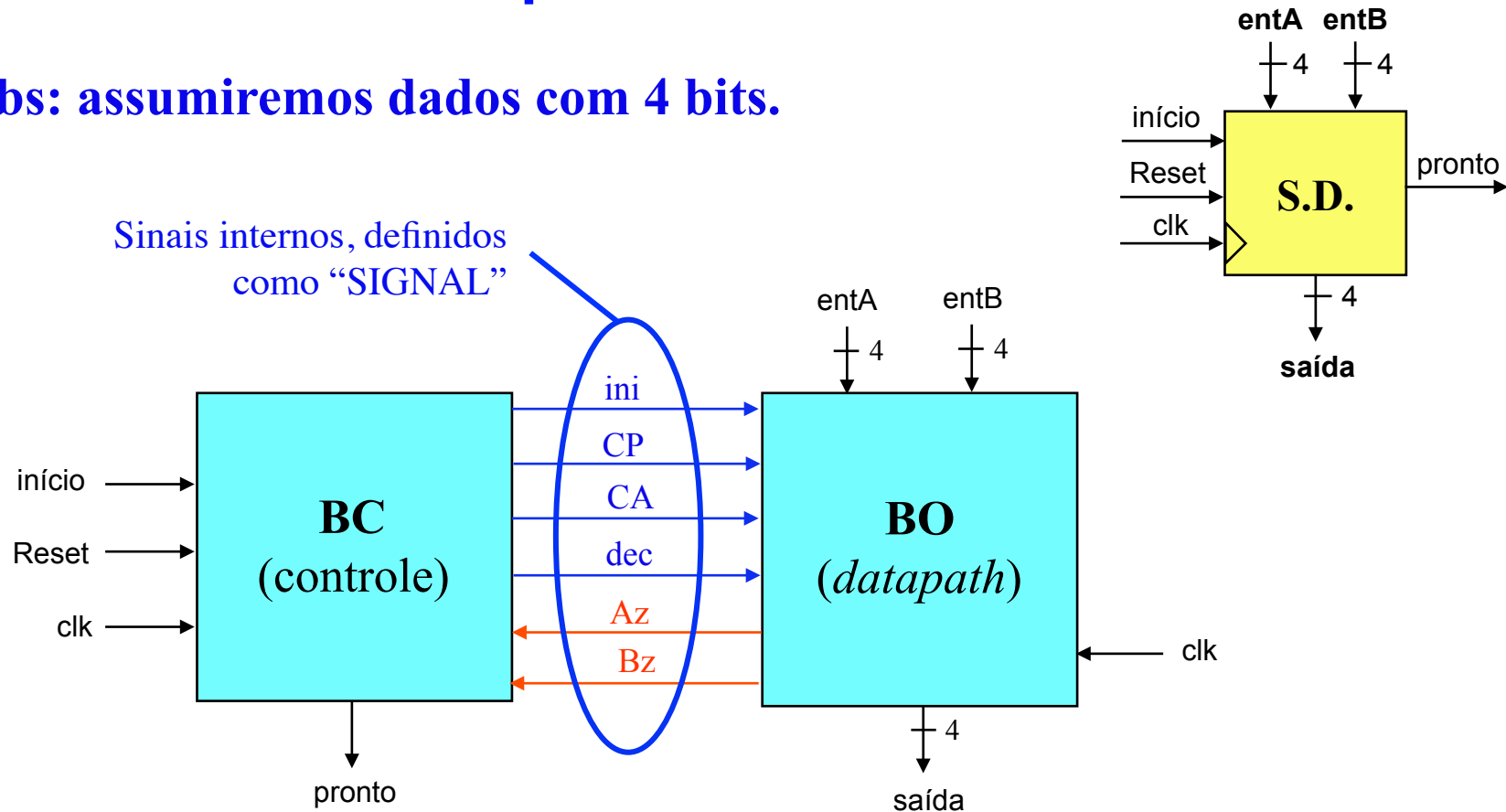
▶ Experimento 3: Setup Experimental

- 5 Compilar o projeto criado.
- 6 Anotar os resultados.
 - Total logic elements:
 - Total combinational functions:
 - Dedicated logic registers:
 - tco/tsu/th:
- 7 A partir do Quartus II, chame o ModelSim-Altera e inicie uma simulação com atrasos (“Gate-level Simulation”).
- 8 Criar um arquivo de estímulos, nomeando-o “[estimulos.do](#)”. Preparar os estímulos para simular a operação 3 x 4 (i.e., A=3 e B=4). Analisar o resultado da simulação.

Sistema Digital Completo (BO + BC)

► Interfaces do Multiplicador

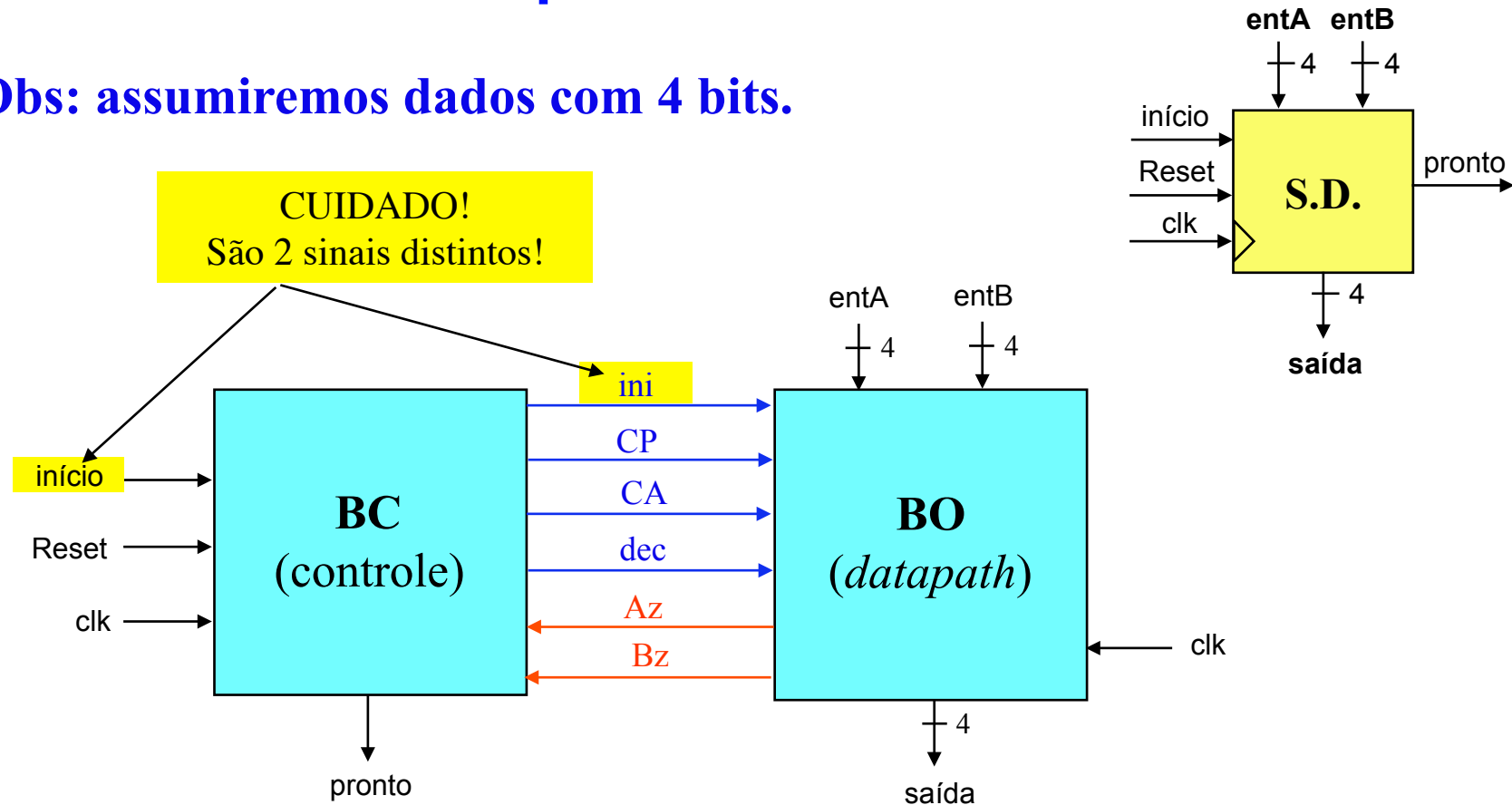
Obs: assumiremos dados com 4 bits.



Sistema Digital Completo (BO + BC)

► Interfaces do Multiplicador

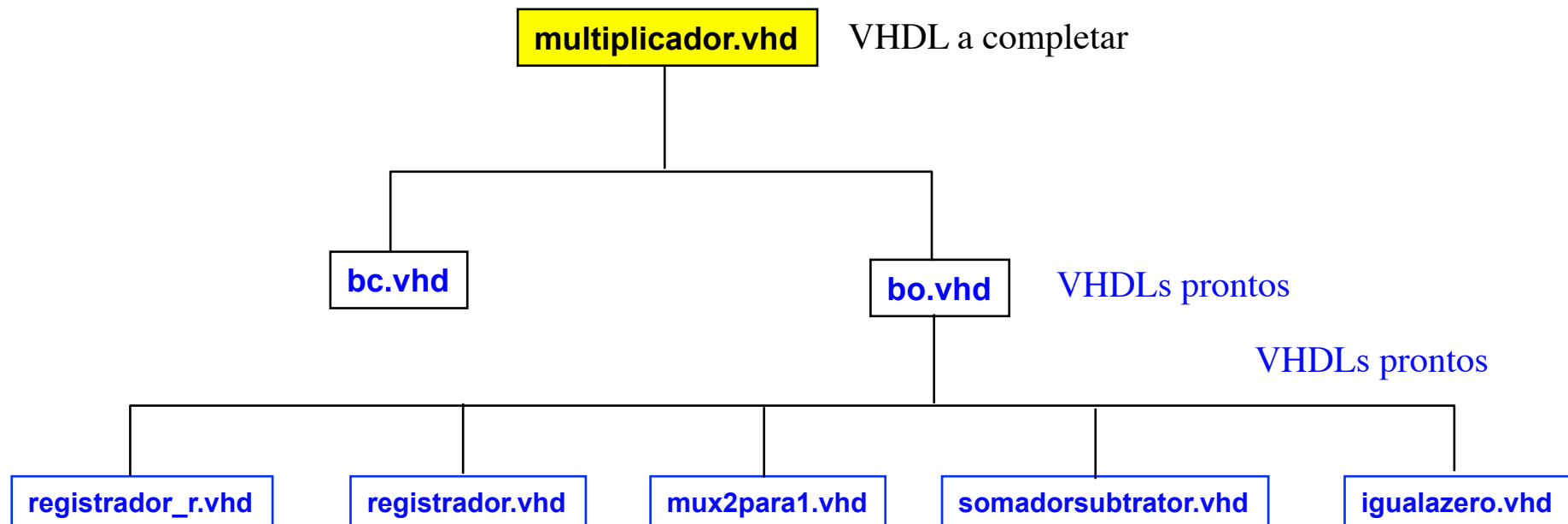
Obs: assumiremos dados com 4 bits.



Sistema Digital Completo (BO + BC)

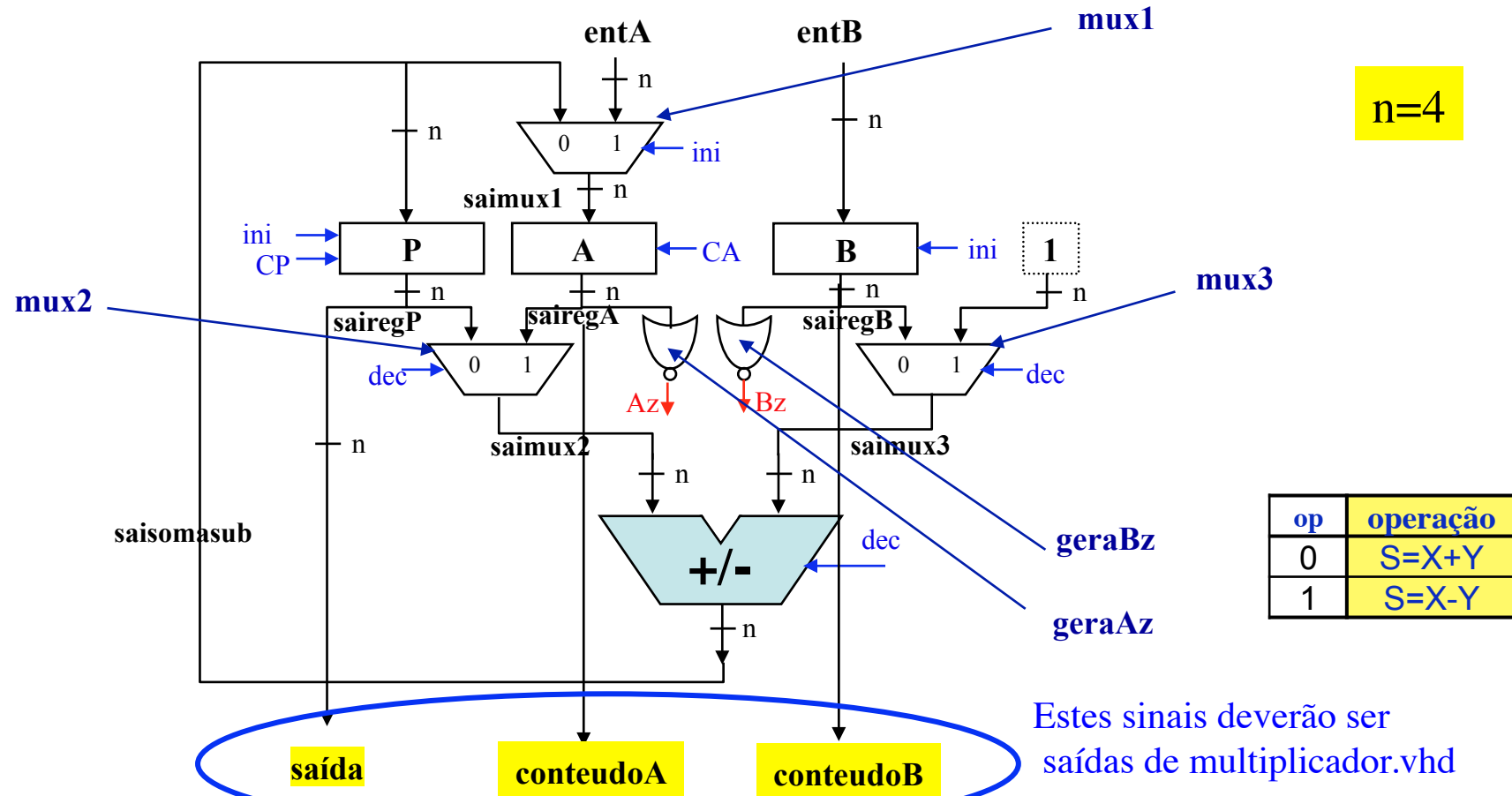
▶ Código VHDL (incompleto) do BO do Multiplicador

Estrutura de Arquivos



Sistema Digital Completo (BO + BC)

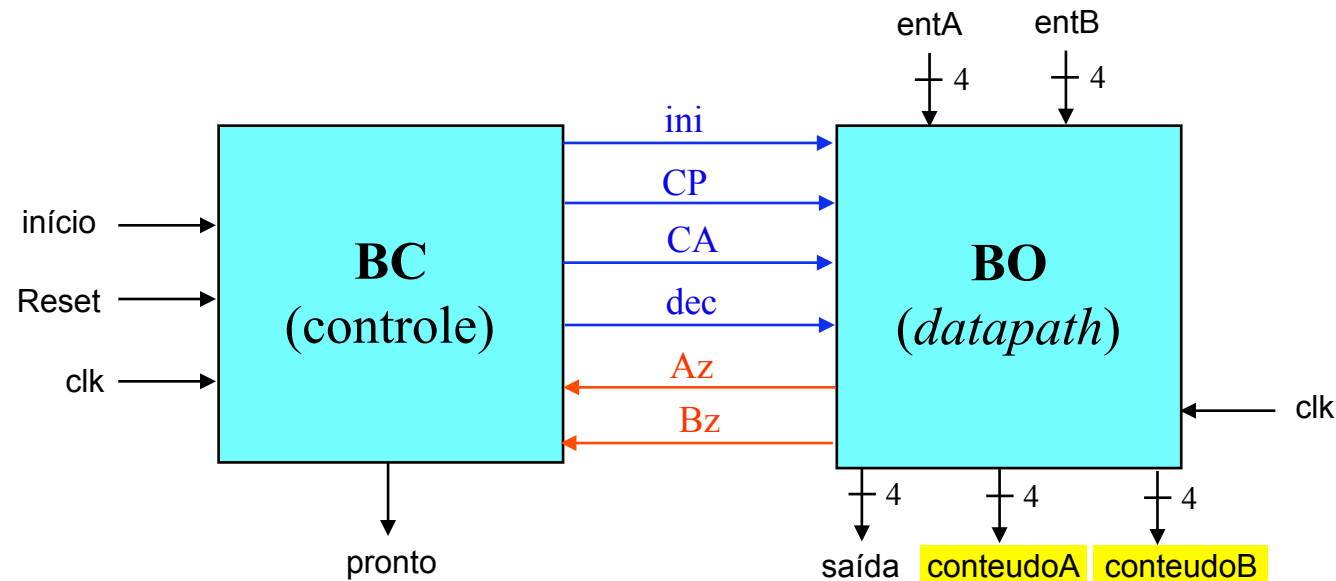
► Nomes para os Sinais e Componentes do BO (Usados nos arquivos VHDL fornecidos)



Sistema Digital Completo (BO + BC)

► Interfaces do Multiplicador

Incluindo “conteudoA” e “conteudoB” nas interfaces (como saídas)

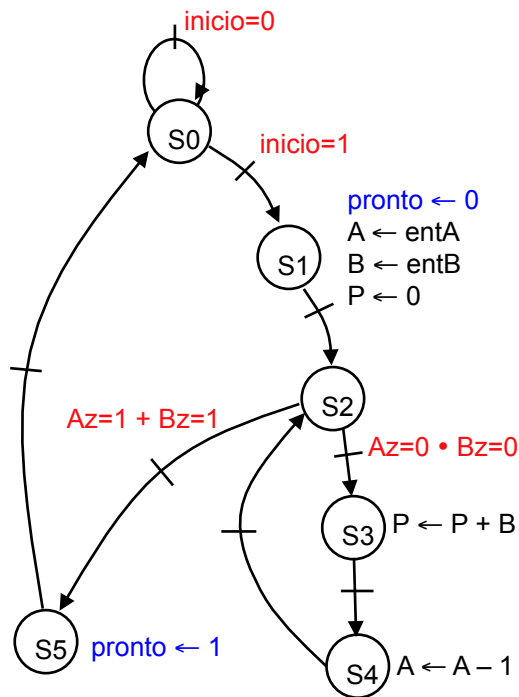


Sistema Digital Completo (BO + BC)

▶ Planejando a Simulação do BO (Aula Passada)

Simular 3 x 4: entA = 3, entB = 4 (ao final, A=0 e P=12)

Sinais de comando (usados para simular o BO)



	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
ini	0	1	0	0	0	0	0	0	0	0	0	0	0
CA	0	1	0	0	1	0	0	1	0	0	1	0	0
CP	0	0	0	1	0	0	1	0	0	1	0	0	0
dec	0	0	0	0	1	0	0	1	0	0	1	0	0

Conteúdo dos registradores (e valor do sinal de status Az)

	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
conteudoA	X	X	3	3	3	2	2	2	1	1	1	0	0
conteudoB	X	X	4	4	4	4	4	4	4	4	4	4	4
P (=saida)	X	0	0	0	4	4	4	8	8	8	12	12	12
Az	X	X	0	0	0	0	0	0	0	0	0	1	0

Sistema Digital Completo (BO + BC)

▶ Planejando a Simulação de multiplicador

Simular 3 x 4: entA = 3, entB = 4 (ao final, A=0 e P=12)

Sinais de entrada de multiplicador: controle e dados

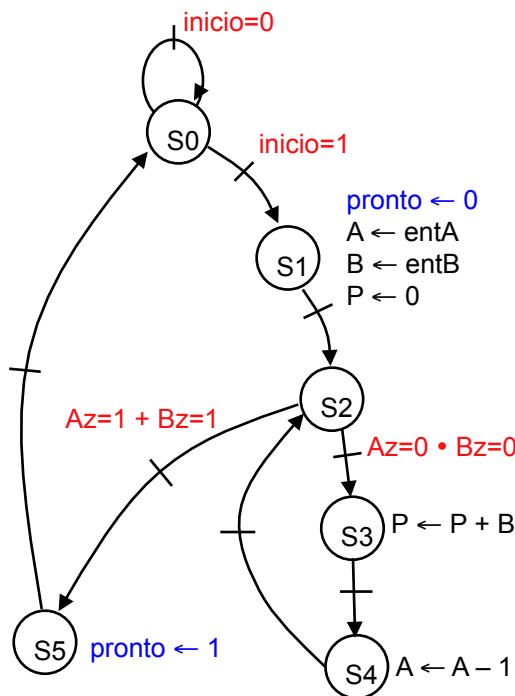
	?	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0
inicio	0	1	0	0	0	0	0	0	0	0	0	0	0	0
entA	X	X	3	3	3	3	3	3	3	3	3	3	3	3
entB	X	X	4	4	4	4	4	4	4	4	4	4	4	4

Sinal de saída de multiplicador: pronto

	?	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
pronto	X	X	X	0	0	0	0	0	0	0	0	0	0	1

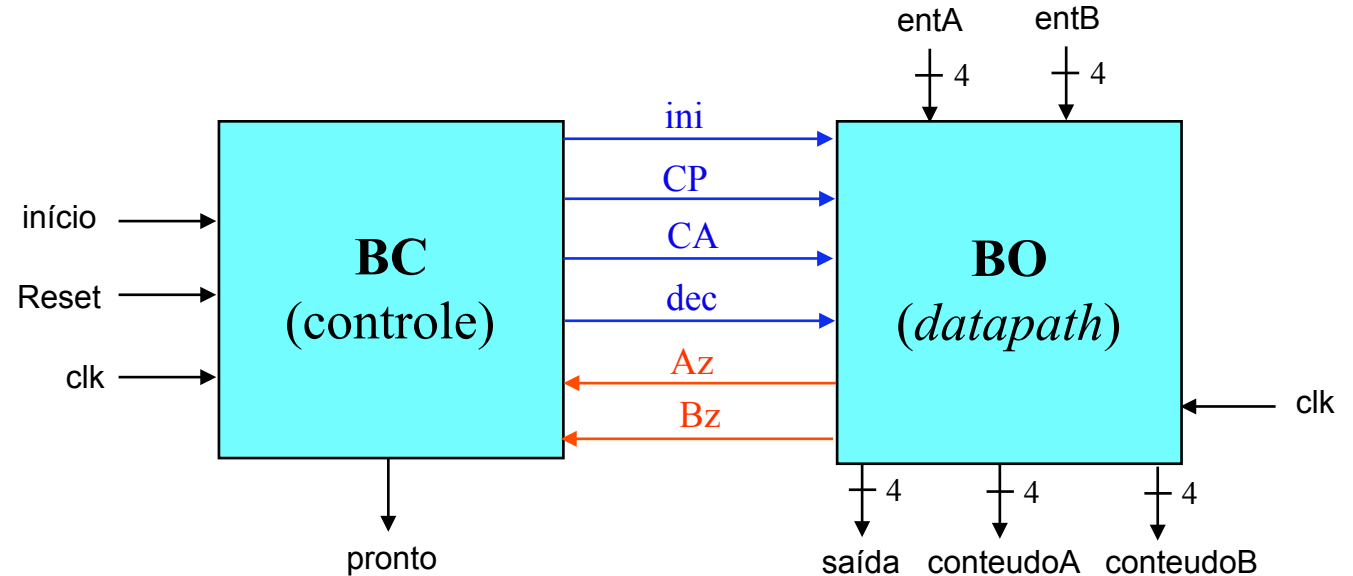
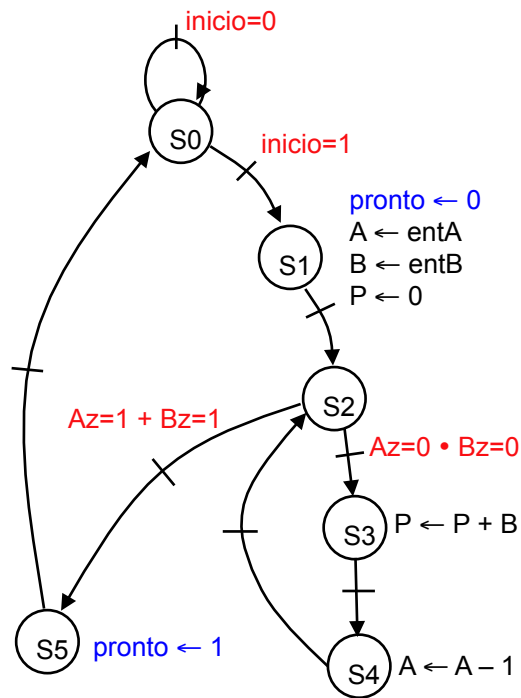
Conteúdo dos registradores

	?	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
conteudoA	X	X	X	3	3	3	2	2	2	1	1	1	0	0
conteudoB	X	X	X	4	4	4	4	4	4	4	4	4	4	4
P (=saida)	X	X	0	0	0	4	4	4	8	8	8	12	12	12



Sistema Digital Completo (BO + BC)

▶ Planejando a Simulação de multiplicador: $a=3$, $b=4$



Sinais de entrada de multiplicador: controle e dados

	?	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0
início	0	1	0	0	0	0	0	0	0	0	0	0	0	0
entA	X	X	3	3	3	3	3	3	3	3	3	3	3	3
entB	X	X	4	4	4	4	4	4	4	4	4	4	4	4

Sistema Digital Completo (BO + BC)

▶ Planejando a Simulação de multiplicador: $a=3$, $b=4$

Sinais de entrada de multiplicador: controle e dados

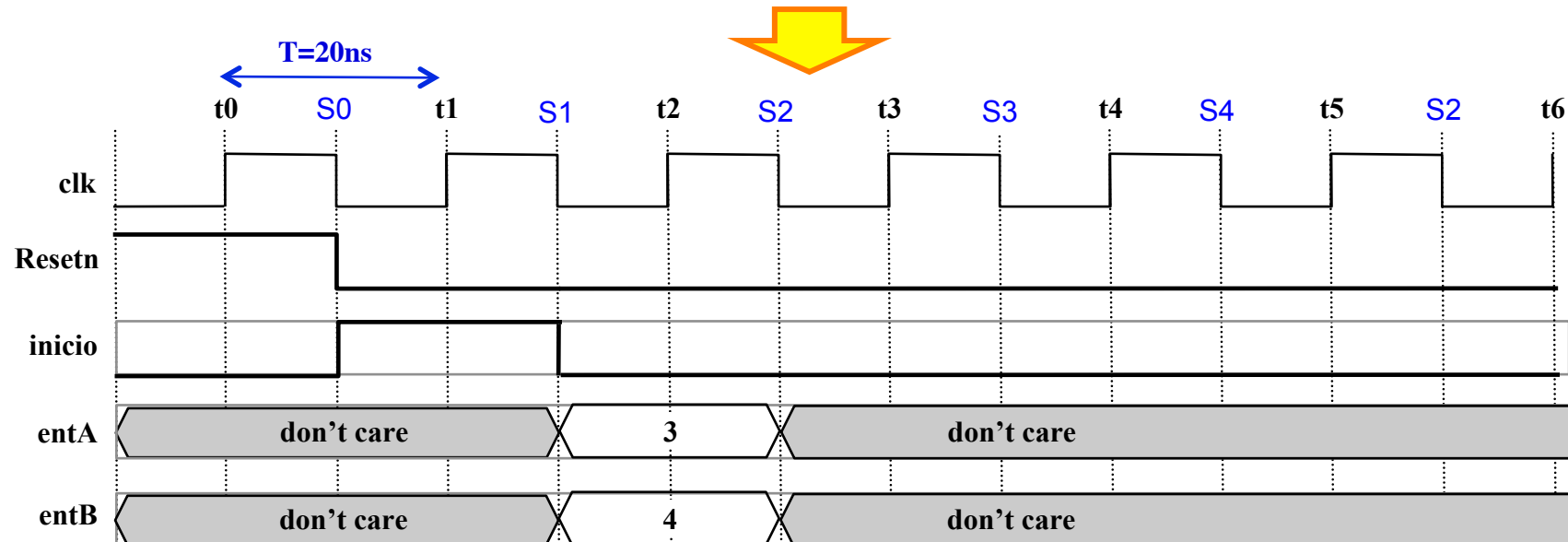
	?	S0	S1	S2	S3	S4	S2	S3	S4	S2	S3	S4	S2	S5
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0
inicio	0	1	0	0	0	0	0	0	0	0	0	0	0	0
entA	X	X	3	3	3	3	3	3	3	3	3	3	3	3
entB	X	X	4	4	4	4	4	4	4	4	4	4	4	4

Tempo de simulação:

300ns

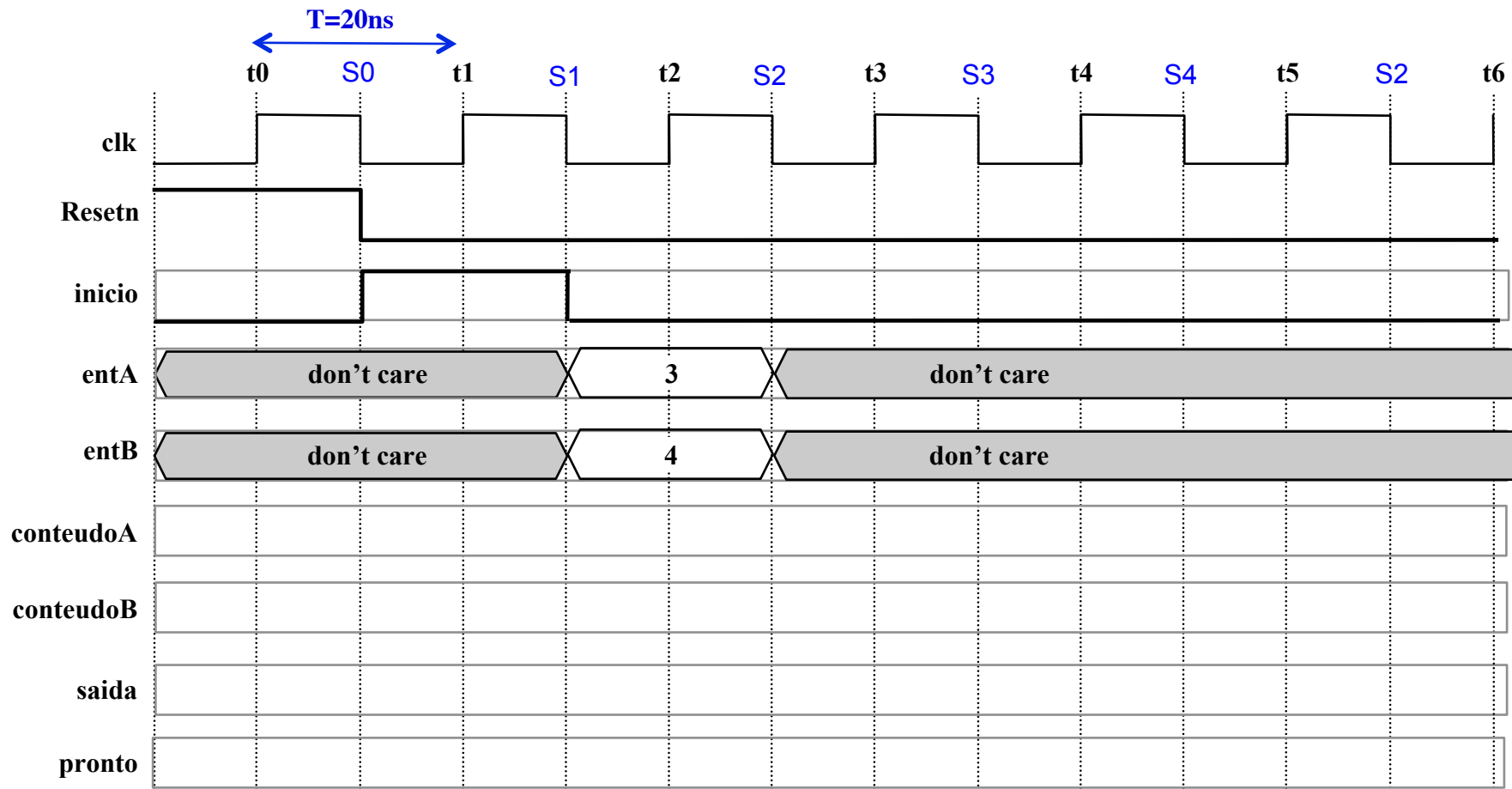
Janela p/ formas de onda:

300ns



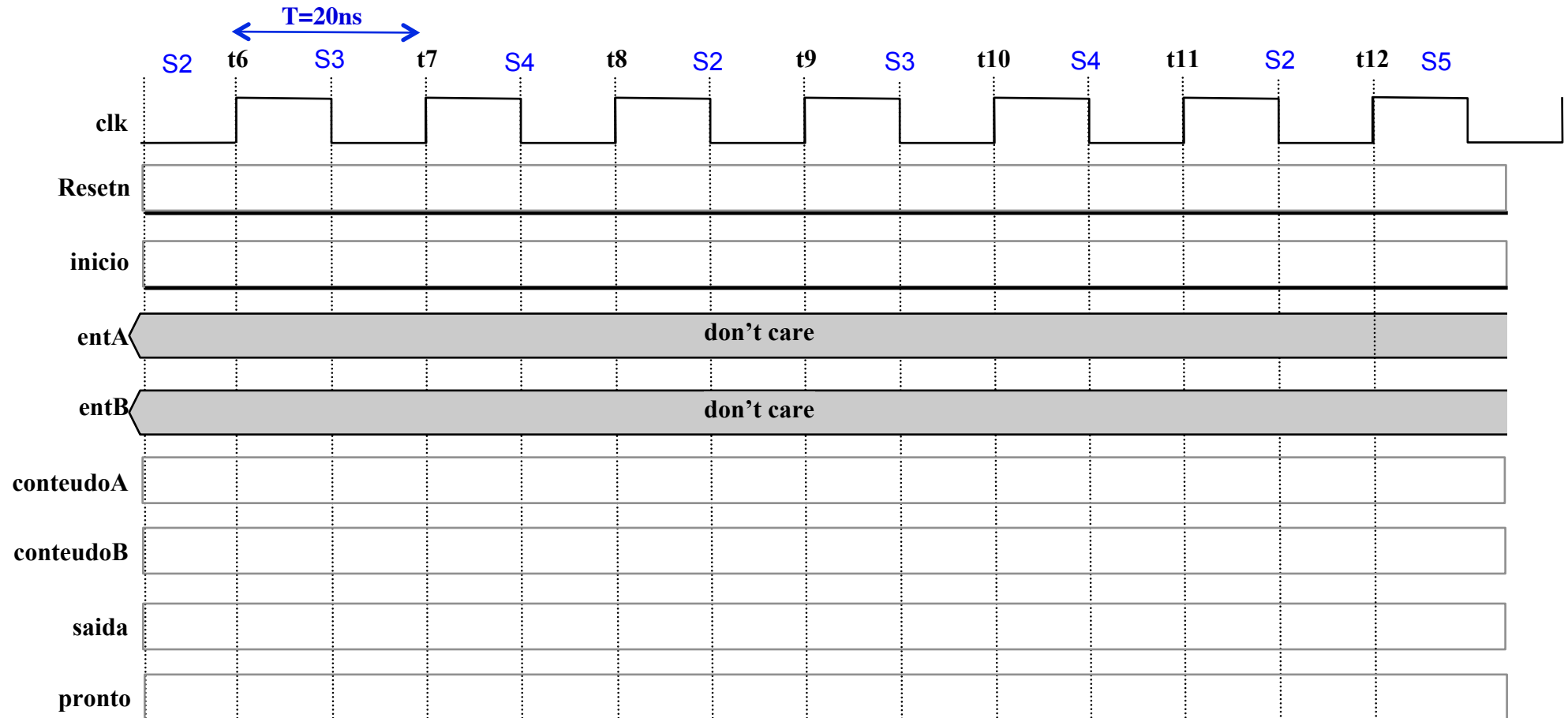
Sistema Digital Completo (BO + BC)

- ▶ **Planejando a Simulação de multiplicador: $a=3$, $b=4$**
Completar as formas de onda de saída antes de simular!!



Sistema Digital Completo (BO + BC)

- ▶ **Planejando a Simulação de multiplicador: $a=3$, $b=4$**
Completar as formas de onda de saída antes de simular!!



Sistema Digital Completo (BO + BC)

▶ Resultado da Simulação

