

3ª Lista de Exercícios

Exercício 1

Em diversas atividades econômicas há a necessidade de se realizar medidas de grandes distâncias, as quais seriam inviáveis sem o uso de equipamento dedicado, baseado em raio laser. O princípio de funcionamento de tal equipamento reside em emitir um “pulso curto” de raio laser em direção ao objeto de interesse (um prédio, uma montanha, uma ponte ou um anteparo, por exemplo) e registrar o tempo que transcorre desde que o raio foi disparado até que sua reflexão seja capturada por sensor óptico existente no próprio equipamento. Este princípio está ilustrado na fig. 1. Aproximando-se a velocidade do raio laser pela velocidade da luz, pode-se calcular a distância entre o equipamento medidor e o objeto-alvo (D, na equação) por meio da seguinte equação: $2D = T[s] * 3 \times 10^8 [m/s]$, onde T é o tempo transcorrido entre o disparo do laser e a captura do raio refletido.

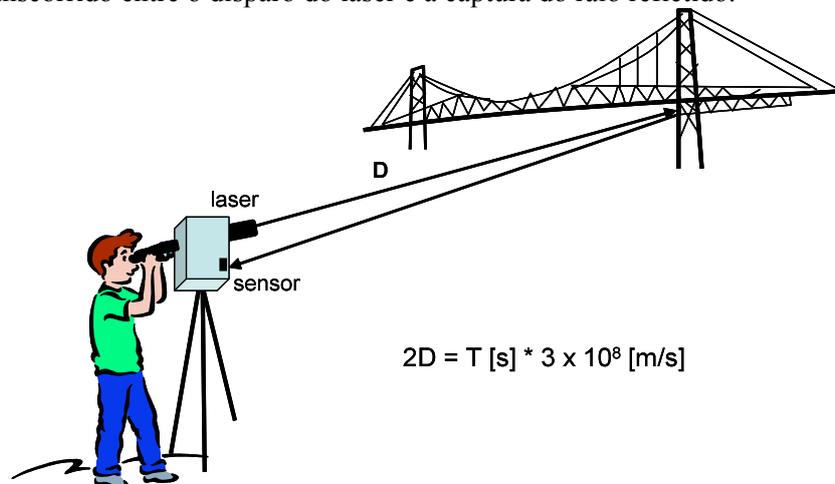


Fig. 1: medida de distância baseada no princípio da reflexão de raio laser.

Necessita-se de o sistema digital para controlar um equipamento capaz de medir distâncias de até 2.000 metros. Este sistema digital, doravante denominado de “**medidor**”, possui um sinal de entrada “B” que deve ser ativado para iniciar o processo de medida. Ao ser iniciado o processo de medida, o medidor ativa o sinal “L” que dispara o laser. A onda refletida é capturada por um sensor, o qual gera o sinal “S” (S=1 significa que foi captada onda refletida). O resultado da medição é mostrado em metros, codificado em binário pela saída “D”. A fig. 2 mostra as interfaces do medidor.

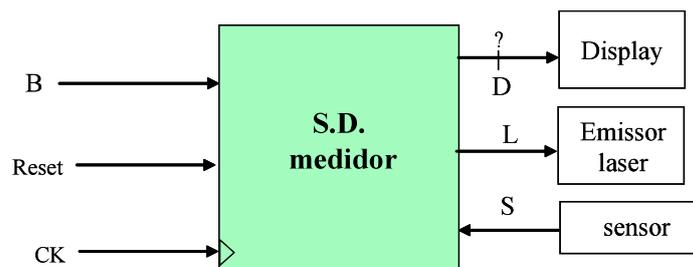


Fig. 2: interfaces do sistema digital “medidor”.

- a) Determine o número de bits para a variável D.
- b) Crie o diagrama de estados de alto nível (FSMD) para o sistema digital medidor. Assuma que existe um estado de “repouso” no qual o emissor laser não deve estar ativado e o display deve

marcar distância= 0 (zero). Este estado de repouso é atingido por meio de um reset assíncrono ou quando o equipamento é ligado. Por outro lado, após ter sido feita uma medida, o equipamento deve manter no display o valor desta medida até que o cálculo de uma nova medida seja concluído. A medida é iniciada assim que o botão B é acionado (i.e., o sinal B é feito igual a “1”), o que causa a geração de um pulso de laser com duração igual a um ciclo de relógio. Assim que o sensor detectar o raio refletido, o medidor calcula a distância usando a equação. Enquanto o raio refletido não é detectado, um contador vai sendo incrementado. Para que este contador possa contar o tempo transcorrido, assuma que a frequência do relógio é de 300 MHz.

- c) Crie o bloco operativo para o sistema digital medidor e identifique todos os seus sinais de controle e de status.
- d) Assumindo o modelo de Moore, construa o diagrama de estados do bloco de controle (FSM).
- e) Construa a tabela de próximo estado e a tabela de sinais de saída.

Exercício 2

Necessita-se de um sistema digital para calcular a média aritmética entre 4 pixels. As interfaces deste sistema digital, doravante denominado "Média4P", são mostradas na Fig. 3. Os 4 pixels são disponibilizados nas entradas pixel1, pixel2, pixel3 e pixel4. "Média4P" possui um estado inicial "S0", o qual corresponde ao estado de reset (assíncrono). Neste estado a saída "disponível" deve valer "1". Quando o sinal de entrada "início" vale "1", "Média4P" calcula a média aritmética entre os 4 pixels **em um único estado**, armazenando-a em um registrador de saída denominado "média". Durante o cálculo, o sinal "disponível" deve valer "0". As seguintes restrições devem ser observadas:

- Cada pixel é representado como um número inteiro sem sinal, com 8 bits.
- Os valores dos bits estão disponíveis e estáveis durante todo o tempo que for necessário.
- O bloco operativo deve ter custo mínimo, satisfeitas as especificações do enunciado da questão (sobretudo a que diz respeito ao cálculo da média ser realizado em um único ciclo de relógio).
- O número de estados deve ser mínimo.
- A divisão por 4 deve ser feita por meio de deslocamento de bits.

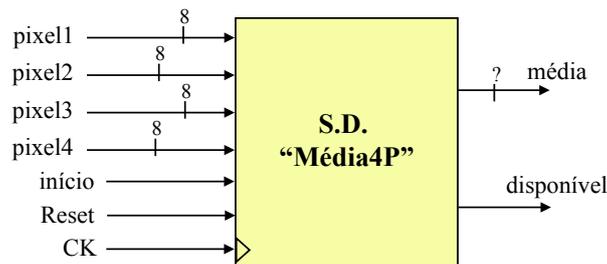


Fig. 3: interfaces do sistema digital “Média4P”.

- a) Determine o número de bits para a variável “média”.
- b) Desenhe o diagrama de estados de alto nível (FSMD) para “Média4P”.
- c) Desenhe o bloco operativo para “Média4P” e identifique todos os seus sinais de controle e de status.
- d) Assumindo o modelo de Moore, construa o diagrama de estados do bloco de controle (FSM) e anote neste os valores dos sinais de saída para cada estado. (Se preferir, construa uma tabela a parte com os valores dos sinais de saída.)

Exercício 3

Este exercício refere-se a uma segunda versão de um sistema digital capaz de calcular a média aritmética entre 4 pixels, doravante denominado "Média4Pv2". As interfaces "Média4Pv2" são

mostradas na Fig. 4. Os 4 pixels estão armazenados em uma memória externa que possui 4 linhas de 8 bits cada. "Média4Pv2" possui um estado inicial "S0", o qual corresponde ao estado de reset (assíncrono). Neste estado a saída "disponível" deve valer "1". Quando o sinal de entrada "início" vale "1", "Média4Pv2" inicia o cálculo da média, etapa na qual o sinal "disponível" deve valer "0". Para a realização do cálculo da média os pixels precisam ser lidos da memória (um a um) e somados. Ao final, o resultado da média é armazenado em um registrador de saída denominado "média". As seguintes restrições devem ser observadas:

- Cada pixel é representado como um número inteiro sem sinal, com 8 bits. Assim, cada linha da memória da Fig. 4 armazena somente um pixel.
- Para realizar a leitura da memória, o sinal "lê" deve valer 1 e o sinal "end" deve conter o endereço da linha a ser lida (0, 1, 2 ou 3, em binário). A leitura de uma linha da memória requer que os sinais "lê" e "end" fiquem estáveis durante um ciclo de relógio, ao final do qual o pixel armazenado estará disponível na saída da memória (sinal "pixel").
- O bloco operativo deve ter custo mínimo, satisfeitas as especificações do enunciado da questão.
- O número de estados deve ser mínimo.
- A divisão por 4 deve ser feita por meio de deslocamento de bits.

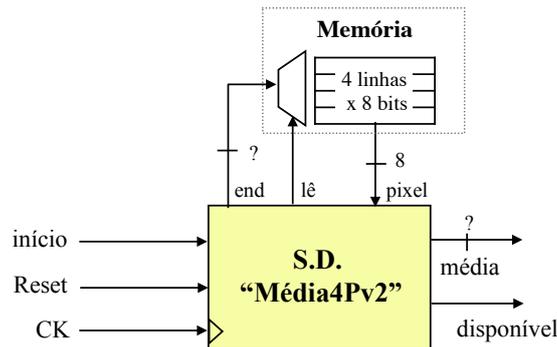


Fig. 4: interfaces do sistema digital “Média4Pv2”.

- Determine o número de bits para a variável “end”.
- Desenhe o diagrama de estados de alto nível (FSMD) para “Média4Pv2”.
- Desenhe o bloco operativo para “Média4Pv2” e identifique todos os seus sinais de controle e de status.
- Assumindo o modelo de Moore, construa o diagrama de estados do bloco de controle (FSM) e anote neste os valores dos sinais de saída para cada estado. (Se preferir, construa uma tabela a parte com os valores dos sinais de saída.)

Exercício 4

Necessita-se de um sistema digital capaz de calcular a média aritmética das 4 medições mais recentes de temperatura, provenientes de um sensor de temperatura externo. O sensor externo mede constantemente a temperatura. Entretanto, o sistema digital, doravante denominado “Média_Temp”, amostra o valor de temperatura apenas na borda de subida do sinal de relógio. Enquanto o sinal de início estiver ativo (início = 1), a cada novo ciclo de relógio “Média_Temp” amostra um novo valor de temperatura, calcula uma nova média aritmética (utilizando o novo valor e os três valores mais recentes) **em um único ciclo de relógio** e armazena esta nova média em um registrador de saída no ciclo de relógio seguinte. O conteúdo deste registrador de saída corresponde à saída “média” de “Média_Temp”. O sinal de saída “válido” só deve valer “1” quando o valor disponível na saída “média” corresponder à média aritmética entre quatro medições de temperatura. (Isto significa que, entre o ciclo de relógio em que “início” começa a valer “1” e o ciclo de relógio em que é disponibilizado na saída “média” o valor da média entre as primeiras quatro temperaturas amostradas, “válido” deve valer “0”.) Considere que as temperaturas amostradas estão dentro do intervalo [-250°C

; +250 °C]. A exemplo do exercício anterior, a divisão por 4 deve ser feita por meio de deslocamento de bits. A figura 5 ilustra os sinais de interface de Média_Temp.

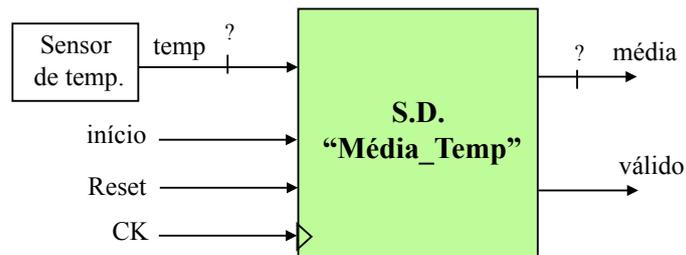


Fig. 5: interfaces do sistema digital “Média_Temp”.

- Determine o número de bits para as variáveis "temp" e “média”.
- Desenhe o diagrama de estados de alto nível (FSMD) para “Média_Temp”.
- Desenhe o bloco operativo para “Média_Temp” e identifique todos os seus sinais de controle e de status.
- Assumindo o modelo de Moore, construa o diagrama de estados do bloco de controle (FSM) e anote neste os valores dos sinais de saída para cada estado. (Se preferir, construa uma tabela a parte com os valores dos sinais de saída.)

Exercício 5

Considere a versão 1 de bloco operativo para a multiplicação por somas sucessivas, vista em aula. Desenhe uma nova versão para o bloco operativo desta versão, na qual o resultado da multiplicação seja expresso com $2n$ bits (ao invés de n bits). Não esqueça de indicar o número de bits de cada operando.

Exercício 6

Para este exercício, considere a seguinte tabela de custo aproximado dos operadores (n = número de bits do componente)

Componente do Nível RT	Custo
Somador	$24 \times n$
Subtrator	$26 \times n$
Somador/subtrator	$30 \times n$
Multiplicador	$30 \times n^2$
Multiplexador 2:1	$4 \times n$
Multiplexador 3:1	$8 \times n$
Multiplexador 4:1	$12 \times n$
Registrador com carga paralela (+4n para set ou reset assíncrono)	$18 \times n$
Registrador com carga paralela controlada (+4n para set ou reset assíncrono)	$22 \times n$
Registrador de deslocamento (+4n para set ou reset assíncrono)	$18 \times n$
Registrador de deslocamento com carga paralela controlada (+4n para set ou reset assíncrono)	$22 \times n$
Registrador-contador (incrementador ou decrementador) (+4n para set ou reset assíncrono)	$22 \times n$
Registrador-contador (incrementador ou decrementador) com carga paralela controlada (+4n para set ou reset assíncrono)	$26 \times n$
Buffer Tri-state inversor	$4 \times n$
Buffer Tri-state não-inversor	$6 \times n$
Comparador entre dois números, possivelmente diferentes de zero	$6 \times n$
Fios e demais componentes não citados (incluindo o comparador para zero)	desprezível

Para o algoritmo abaixo, considere que os valores fornecidos pelas entradas “ent1” e “ent2” são inteiros sem sinal representados com n bits.

Para realizar o teste “divisor < dividendo”, assumo o uso de um comparador (em todas as implementações consideradas), com custo igual ao de um subtrator.

```
1  Início Divide
2  dividendo ← ent1; divisor ← ent2; res ← 0;
3  Enquanto dividendo >= divisor faça
4  início
5  res ← res + 1;
6  dividendo ← dividendo - divisor;
7  fim
8  saída1 ← res; saída2 ← dividendo;
9  fim
```

Para responder os itens “a” até “c” abaixo, considere uma implementação “serial de custo mínimo” (sem uso de *pipeline* e sem exploração de paralelismo nas operações), na qual os passos 3 a 7 são realizados um após o outro (necessariamente).

- Desenhe o fluxograma e o diagrama de estados para a versão “serial de custo mínimo”.
- Qual é o menor número de registradores que se pode utilizar? Faça a tabela de tempo de vida das variáveis e explique o resultado.
- Desenhe o bloco operativo no nível RT para a versão “serial de custo mínimo”.
- Desenhe o fluxograma e o diagrama de estados para a versão “paralela”.
- Qual é o menor número de registradores que se pode utilizar? Faça a tabela de tempo de vida das variáveis e explique o resultado.
- Desenhe o bloco operativo no nível RT para a versão “paralela”.
- Compare a versão “serial de custo mínimo” com a versão “paralela”, em termos de custo (calcule os custos de ambas) e de desempenho (analise o melhor e pior caso para cada versão).
- Suponha que se deseje utilizar um subtrator para o teste “divisor < dividendo”. Qual seria o impacto desta decisão nos itens anteriores?