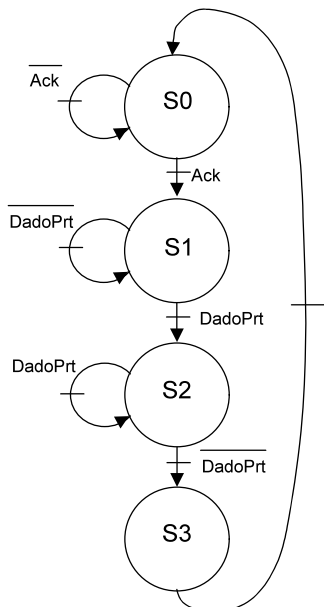


2ª Lista de Exercícios

Exercício 1

Seja o circuito sequencial síncrono cujo comportamento é mostrado no diagrama de estados da Fig. 1, na Tab. 1 e na Tab. 2.

- Este circuito corresponde ao modelo de **Moore** ou de **Mealy**? Justifique/comente.
- Esboce o diagrama de blocos para o circuito, levando em conta seu modelo (Mealy ou Moore).
- Monte a tabela de transição de estados para este circuito (sem considerar a codificação dos estados).
- Considerando a **opção 1** para codificação de estados, encontre as equações de estado simplificadas. Use mapas de Karnaugh.
- Considerando a **opção 1** para codificação de estados, encontre a equação de saída simplificada. Use mapa de Karnaugh.
- Considerando a **opção 2** para codificação de estados, encontre as equações de estado simplificadas. Use mapas de Karnaugh.
- Considerando a **opção 2** para codificação de estados, encontre a equação de saída simplificada. Use mapa de Karnaugh.
- Compare o custo de implementação das equações obtidas a partir das duas opções de codificação de estados. Comente estes resultados obtidos.



Tab. 1 – Codificação de estados.

estado	opção 1	opção 2
S0	00	00
S1	01	01
S2	10	11
S3	11	10

Tab. 2 – Sinais de saída.

estado	entrada		saída
	Ack	DadoPrt	ReqLeit
S0	X	X	0
S1	X	0	0
S1	X	1	1
S2	X	0	0
S2	X	1	1
S3	X	X	0

Fig. 1 - Diagrama de estados de um circuito sequencial síncrono.

Exercício 2

Os carros contemporâneos possuem um dispositivo de segurança que identifica o código presente na chave utilizada para ligá-los. Caso o código da chave não seja o mesmo que está codificado no computador de bordo, o carro não liga. Isso é feito, a grosso modo, com um chip na chave que responde ao computador de bordo, informando o seu código, quando solicitado. Este chip é, na verdade, um circuito sequencial. Projete este circuito sequencial, considerando uma chave codificada com o código de 4 bits “1101”.

O circuito sequencial possui um sinal de entrada **a** e um sinal de saída **r**. O sinal **a** vale “1” quando o código está sendo requisitado pelo computador de bordo do carro. Quando isto ocorrer, o circuito sequencial envia o código (“1101”, no caso) pela saída **r** de maneira serial (i.e., um bit por clock/estado), começando pelo bit menos significativo (LSB).

Exercício 3

Necessita-se de um circuito sequencial síncrono capaz de controlar uma porta de garagem. Quando a porta atinge o ponto de **máxima abertura**, um sensor de posição avisa fazendo o sinal **SA**=1. Quando a porta atinge o ponto de **máximo fechamento**, outro sensor de posição avisa fazendo o sinal **SF**=1. Para as situações intermediárias, **SF=SA=0**. (**SF=SA=1** nunca ocorre.) A Tab. 3 mostra os estados que esta porta pode assumir, juntamente com os respectivos valores dos sinais **SA** e **SF**, gerados pelos sensores de posição.

Tab. 3 – Possíveis estados para a porta de garagem e respectivos valores para os sinais **SA** e **SF**.

nome do estado	situação da porta	SA	SF
aberta	porta parada no ponto de máxima abertura	1	0
fechada	porta parada no ponto de máximo fechamento	0	1
abrindo	porta em movimento, abrindo	0	0
fechando	porta em movimento, fechando	0	0

A porta em questão é movimentada por um motor elétrico, o qual é controlado por dois sinais, **A** e **F**. Assim, para controlar a porta, basta controlar este motor. A Tab. 4 mostra como os sinais **A** e **F** controlam o motor.

Tab. 4 – Funcionamento do motor que movimentava a porta de garagem.

situação do motor	A	F
motor abrindo a porta	1	0
motor fechando a porta	0	1
motor parado	0	0
	1	1

A porta é acionada por um controle remoto que possui apenas um botão. Quando este botão é acionado, o receptor instalado junto ao controle da porta faz o sinal **B**=1 durante um ciclo de relógio. Estando a porta no estado "aberta" ou no estado "fechada" (ver Fig. 4), se **B**=1, a porta muda de estado na próxima borda ativa do relógio. Nos outros dois estados, o acionamento do controle remoto não tem ação sobre a porta.

- Desenhe o diagrama de estados (FSM), modelo de Moore, para o circuito sequencial síncrono que controla a porta de garagem cujo comportamento foi especificado no enunciado desta questão. Esta FSM possui apenas 4 estados, conforme descrito na Tab. 3.
- Assumindo uma implementação que utiliza o número mínimo de variáveis de estados, desenhe o diagrama de blocos (segundo o modelo de Moore) para o circuito sequencial síncrono que controla a porta de garagem cujo comportamento está descrito no enunciado desta questão.
- Assumindo uma implementação que utiliza o número mínimo de variáveis de estado, complete a Tab. 5 com uma codificação de estados que minimiza a lógica de saída do circuito sequencial

síncrono que controla a porta de garagem desta questão. Obs: há mais de uma resposta que leva à minimização da lógica de saída.

Tab. 5 – Codificação de estados que minimiza a lógica de saída do circuito sequencial síncrono que controla a porta de garagem desta questão (tabela a completar.)

nome do estado	y1	y0
aberta		
fechando		
fechada		
abrindo		

A especificação fornecida no enunciado desta questão assumiu que nos estados "fechando" e "abrindo" o sinal **B** é ignorado. Porém, uma versão mais realista para a porta de garagem deve prever a possibilidade de parar a porta em um momento qualquer, enquanto ela estiver abrindo ou fechando. Assim, os dois itens que seguem se referem a uma versão "mais realista" da porta. Suponha que, se a porta estiver no estado "fechando" ou no estado "abrindo", se **B**=1 durante um ciclo de relógio, a porta para, permanecendo parada em uma posição intermediária até que **B**=1 novamente. Quando **B**=1 novamente (por um ciclo de relógio), a porta volta a se movimentar, porém no sentido oposto ao anterior.

- d) Desenhe o diagrama de estados para a nova versão do circuito sequencial síncrono que controla a porta de garagem. Assuma a existência de seis estados, conforme descrito na Tab. 6. Assuma também que as variáveis de entrada e de saída são as mesmas da versão original.

Tab. 6 – Possíveis estados para a versão mais realista da porta de garagem.

nome do estado	situação da porta	SA	SF
aberta	porta parada no ponto de máxima abertura	1	0
fechada	porta parada no ponto de máximo fechamento	0	1
parada_abrindo	porta parada em posição intermediária; o estado anterior era "abrindo"	0	0
parada_fechando	porta parada em posição intermediária; o estado anterior era "fechando"	0	0
abrindo	porta em movimento, abrindo	0	0
fechando	porta em movimento, fechando	0	0

- e) Desenhe uma segunda versão para o diagrama de estados da nova versão do circuito sequencial síncrono que controla a porta de garagem. Assuma a existência de quatro estados, cujo significado está descrito na Tab. 7. Assuma que as variáveis de entrada e de saída são as mesmas da versão original.

Tab. 7 – Possíveis estados para uma segunda versão realista da porta de garagem.

nome do estado	situação da porta	SA SF
p_abrindo	porta parada em posição intermediária (estado anterior era "abrindo") ou no ponto de máxima abertura	1 0 ou 0 0
p_fechando	porta parada em posição intermediária (estado anterior era "fechando") ou no ponto de máximo fechamento	0 1 ou 0 0
abrindo	porta em movimento, abrindo	0 0
fechando	porta em movimento, fechando	0 0

Exercício 4

Projeto de um controlador de semáforos de trânsito. Considere que em um dado cruzamento da cidade o trânsito deva ser disciplinado pelo uso de um sistema de semáforos com quatro semáforos de um mesmo modelo, dispostos dois na direção 1 e dois na direção 2, conforme a Fig. 2.

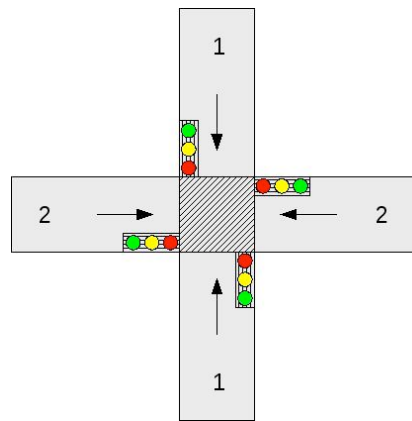


Fig. 2 – Cruzamento de trânsito a ser controlado por um sistema de semáforos.

1. O modelo de semáforo utilizado possui três sinais de controle independentes, um para cada lâmpada: a lâmpada verde é ligada se o sinal **G** (green) valer '1', a lâmpada amarela é ligada se o sinal **Y** (yellow) valer '1' e a lâmpada vermelha é ligada se o sinal **R** (red) valer '1'. Além disso, existe um sinal de controle **A** que, quando acionado ($A=1$), faz a luz vermelha piscar, independentemente dos demais sinais.
2. Os dois semáforos da direção 1 são controlados pelos sinais $G1$, $Y1$, $R1$ e A . Já os dois semáforos da direção 2 são controlados pelos sinais $G2$, $Y2$, $R2$ e A . (Note que o sinal A é o mesmo para os quatro semáforos).
3. Em funcionamento normal, o fluxo de veículos em uma dada direção deve ser disciplinado através das seguintes fases: **passagem livre** (apenas lâmpada verde ligada), **passagem com cuidado** (lâmpadas verde e amarela ligadas, lâmpada vermelha desligada) e **parar** (apenas lâmpada vermelha ligada). A outra direção precisa ser controlada de maneira a evitar choques de veículos.
 - a) Desenhe o diagrama de estados para uma máquina de Moore que controla os semáforos de ambas as direções, quando em funcionamento normal (i.e., funcionando conforme descrito no item anterior). A fim de identificar o tempo em que o sistema de semáforos deve permanecer em uma dada fase, suponha que existe uma variável chamada "cont", a qual é resetada toda a vez que a máquina de estados troca de estado, e que muda seu valor para '1' quando o tempo de permanência em uma fase se esgota.

Suponha que, após a meia-noite todos os semáforos da cidade ficam em **estado de atenção**, com a luz vermelha piscando. Suponha que tal estado também pode ser considerado como o estado de reset de um sistema de semáforos. Suponha ainda que existe um sinal denominado "normal", o qual é capaz de recolocar o sistema de semáforos no funcionamento normal.

- b) Modifique o diagrama de estados do item "a", de modo a incorporar o **estado de atenção** (mantendo o modelo de Moore).
- c) Esboce o diagrama de blocos para a máquina de estados do item "b".
- d) Faça a tabela de estados e a tabela de saídas para a máquina de estados do item "b".
- e) Assumindo uma codificação de estados trivial (ordem dos números binários), encontre as equações de estado e as equações das saídas para a máquina de estados do item "b".

Exercício 5

A Fig. 3 mostra as interfaces do circuito sequencial "string detector". A entrada "reset" é assíncrona: se "reset=1", "string detector" vai para o estado S_0 . Por outro lado, enquanto "reset=0", a cada borda de subida do sinal de relógio ("ck") o valor presente na entrada "bit" é amostrado. **Toda vez que** "string detector" detecta uma ocorrência da sequência "100" na entrada "bit" em três bordas consecutivas de relógio t_i , t_{i+1} , t_{i+2} , respectivamente, o sinal de saída "found" deve valer "1" por, no máximo, um ciclo de relógio. Assuma que o sinal aplicado à entrada "bit" jamais transiciona mais de uma vez entre duas bordas de subida consecutivas do sinal de relógio (ck).

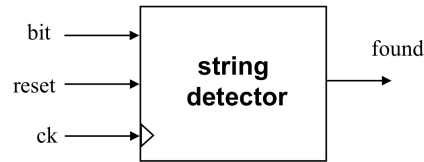


Fig. 3 – Interfaces do circuito sequencial “string detector”.

- Desenhe o diagrama de estados para a versão "Moore" de "string detector".
- Desenhe o diagrama de tempos (formas de onda) para a versão "Moore" de "string detector" quando a sequência {1,0,0,1,0,0,0} é amostrada pela entrada "bit" nas bordas de relógio $t_i, t_{i+1}, t_{i+2}, t_{i+3}, t_{i+4}, t_{i+5}, t_{i+6}$, respectivamente.
- Desenhe o diagrama de estados para a versão "Mealy" de "string detector".
- Desenhe o diagrama de tempos (formas de onda) para a versão "Mealy" de "string detector" quando a sequência {1,0,0,1,0,0,0} é amostrada pela entrada "bit" nas bordas de relógio $t_i, t_{i+1}, t_{i+2}, t_{i+3}, t_{i+4}, t_{i+5}, t_{i+6}$, respectivamente.
- Compare o custo das duas versões. Comente o comportamento de cada uma delas. Cite vantagens e desvantagens (ou limitações).

Exercício 6

Suponha que se deseje implementar a versão Moore do circuito sequencial do exemplo 4 visto em aula (slides 4T) utilizando uma memória ROM. Assumindo a codificação de estados (A=00, B=01, C=10, D=11):

- Mostre o conteúdo a ser gravado na memória ROM, caso a implementação faça uso de um esquema como o mostrado no diagrama de blocos da Fig. 4. (Note que “entrada” corresponde a uma única entrada, qual seja, "w".)
- Desenhe o diagrama de blocos para um esquema alternativo de implementação, na qual o registrador de estados é um contador incrementador.
- Mostre o conteúdo a ser gravado na memória ROM para este esquema alternativo de implementação.
- Compare os custos dos dois esquemas de implementação (itens “a” e “b” anteriores), tanto no que se refere ao número de bits de ROM, quanto aos demais componentes (notadamente, o registrador de estados).

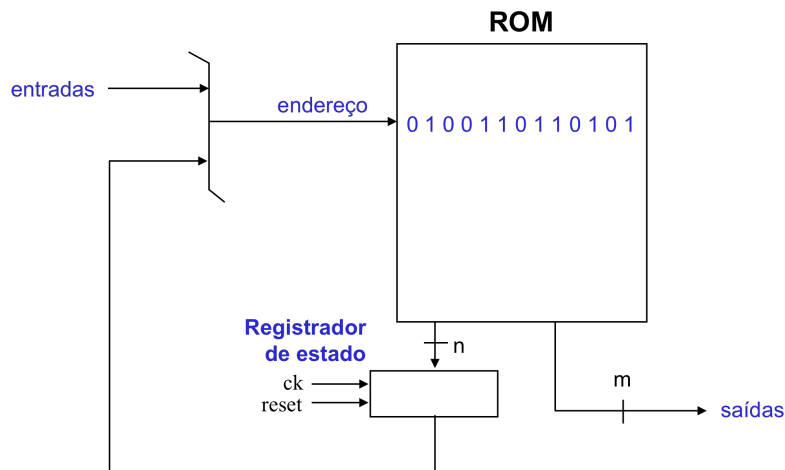


Fig. 4 – Diagrama de blocos de uma implementação de FSM com memória.