



Universidade Federal de Santa Catarina

Departamento de Informática e Estatística
Bacharelado em Ciências da Computação

INE 5406 - Sistemas Digitais - semestre 2011/2

Prof. José Luís Güntzel guntzel@inf.ufsc.br www.inf.ufsc.br/~guntzel



1ª Lista de Exercícios

Observações gerais:

- Os exercícios desta lista não serão cobrados. Entretanto, é altamente recomendável que os alunos tentem resolvê-los, a fim de se prepararem minimamente para a 1ª prova.
- Para os exercícios 2, 3, 4, 5, 6 e 7, assumir operandos com n bits.

Exercício 1 (Deslocador programável ou *barrel shifter*)

Utilizando multiplexadores 2:1 e eventualmente, portas lógicas, desenhe o esquemático do nível lógico de um deslocador programável que recebe como entrada um número binário de 4 bits E e o desloca para a direita “ i ” bits (“ $i \in \{0,1,2,3\}$ ”), conforme detalhado pela Tab. 1.

Tab. 1 - Funcionamento do deslocador programável a ser projetado nesta questão.

op1	op0	Operação
0	0	$S = E$
0	1	$S = E \gg 1$
1	0	$S = E \gg 2$
1	1	$S = E \gg 3$

Observações:

- o símbolo “ \gg ” significa “deslocar para a direita”. O número que segue à direita de “ \gg ” indica o número de bits que se deseja deslocar. O ou os novos bits que entram pela esquerda devem valer “0”.
- represente cada multiplexador 2:1 pelo seu símbolo, conforme mostrado na aula 2T.

Exercício 2 (Unidade funcional extratora de módulo)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático (RT) de uma unidade funcional (UF) que recebe um número inteiro com sinal A , representado em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o módulo deste número ($S = |A|$). Comente o problema do *overflow*, (e se necessário, redesenhe a UF solicitada), considerando as seguintes situações:

- A entrada e a saída desta UF (A e S , respectivamente) possuem n bits.
- A entrada desta UF (A) possui n bits, ao passo que a saída (S) possui $n+1$ bits.

Exercício 3 (Unidade funcional “max”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático (RT) de uma unidade funcional (UF) que recebe dois números inteiros com sinal A e B , representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o maior dentre eles ($S = \max\{A,B\}$). Uma eventual situação de *overflow* no subtrator deve não pode afetar o resultado. Observação: assumo que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Exercício 4 (Unidade funcional “min”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático (RT) de uma unidade funcional (UF) que recebe dois números inteiros com sinal A e B , representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o menor dentre eles ($S = \min\{A,B\}$). Uma eventual situação de *overflow* no subtrator deve não pode afetar o resultado. Observação: assumo que o subtrator seja capaz de operar

sobre números inteiros (positivos e negativos) representados em binários com n bits.

Exercício 5 (Unidade funcional combinada “min/max”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático (RT) de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o menor ou o maior dentre eles, conforme um sinal de controle “C”. A operação desta unidade funcional combinada está detalhada na Tab. 2. Uma eventual situação de *overflow* no subtrator deve não pode afetar o resultado. Observação: assuma que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Tab. 2 - Funcionamento desejado para a unidade funcional "min/max".

op	operação
0	$S = \max\{ A,B \}$
1	$S = \min\{ A,B \}$

Exercício 6 (Unidade lógico-aritmética)

Desenhe o esquemático no nível lógico de uma unidade lógico-aritmética (ULA) que recebe como entradas dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e opere sobre eles conforme detalhado na Tab. 3. Esta ULA não deve utilizar mais de um somador, além de, possivelmente, elementos de interconexão e portas lógicas. Observação: representar cada somador completo como uma caixa identificada por "SC".

Tab. 3 - Funcionamento desejado para a ULA desta questão.

op1	op0	Operação
0	0	$S = A+B$
0	1	$S = A+1$
1	0	$S = A-1$
1	1	$S = A-B$

Exercício 7 (Unidade lógico-aritmética)

Dispõe-se um somador-subtrator (+/-) e de uma unidade funcional (UF) "AND/OR" capazes de operar com dados de 8 bits (sendo que o somador/subtrator é capaz de operar com números binários inteiros positivos e negativos). A Tab. 4 detalha o comportamento destas UFs. Além dos sinais mostrados nesta tabela, somador-subtrator possui uma saída de *carry* e uma saída de *overflow*, conforme mostrado na Fig. 1.

Tab. 4 - Funcionamento da UF somador-subtrator (+/-) e da UF "AND/OR".

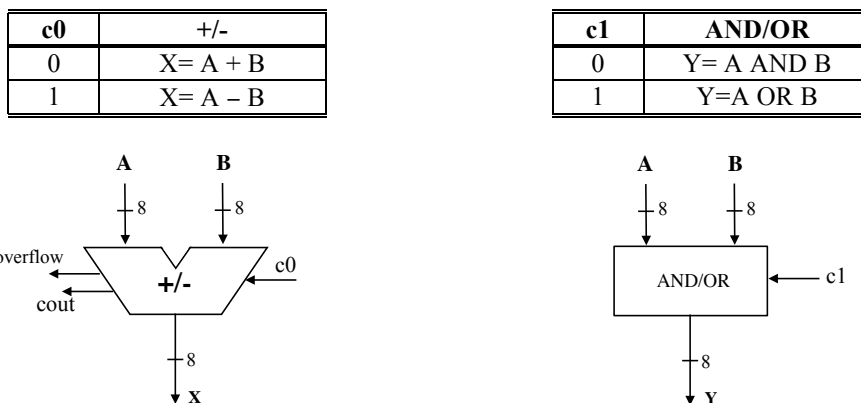


Fig. 1– Representação das UFs a serem usadas como elementos básicos para a ULA solicitada.

Utilizando estas UFs e outros componentes (como multiplexadores, fios e eventualmente, portas lógicas), construa uma Unidade lógico-aritmética (ULA) que opere conforme detalhado na Tab. 5. Esta ULA deve possuir uma saída de *overflow* que seja coerente com os tipos de operações e os tipos de dados.

Tab. 5 - Funcionamento desejado para a ULA desta questão.

op2	op1	op0	operação
0	0	0	$R = A + B$
0	0	1	$R = A - B$
0	1	0	$R = A \text{ AND } B$
0	1	1	$R = A \text{ OR } B$
1	X	X	Se $A \geq B$ então $R = 0$, senão $R = 1$

Exercício 8 (Uso de somadores)

Desenhe o esquemático de uma unidade funcional que calcula $S = A + B + C + D$, onde os operandos de entrada A, B, C e D são números inteiros sem sinal, representados em binário com 8 bits. Adicionalmente, esta unidade funcional deve:

- realizar o cálculo especificado em um único passo
- proporcionar máxima precisão (i.e., evitando ocorrência de *overflow*)
- tirar proveito do paralelismo existente no cálculo especificado.
- possuir o menor atraso possível, uma vez satisfeitos os requisitos anteriores.

Dica: usar tantos somadores quanto necessário.

Exercício 9 (Temporização em registradores de carga paralela)

Suponha que o registrador de carga paralela da Fig. 2 possua as características temporais indicadas na Tab. 6. Nesta situação, complete a forma de onda para o sinal Q, na Fig. 3.

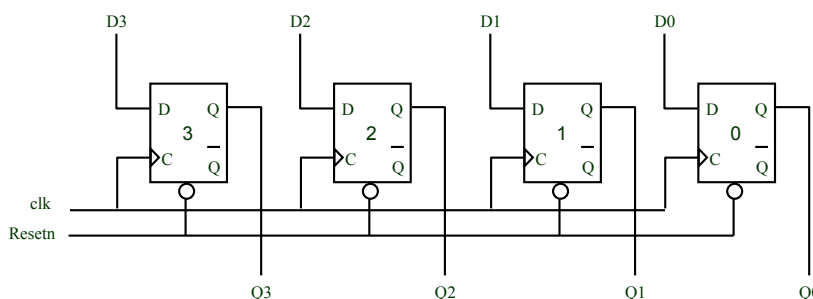


Fig. 2 – Registrador com carga paralela.

Tab. 6 - Características temporais do registrador com carga paralela da Fig. 2.

Característica	valor
Tempo de setup (t_{su})	2 ns
Tempo de hold (t_h)	2 ns
Tempo de carga (t_{co})	5 ns

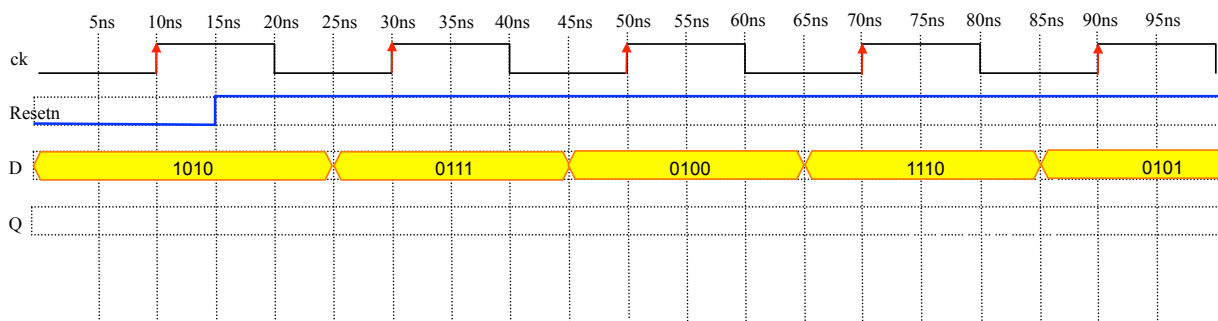


Fig. 3 – Formas de onda para sinais aplicados nas entradas do registrador com carga paralela da Fig. 2 e consequente forma de onda do sinal Q (a completar).

Exercício 10 (Temporização em registradores de carga paralela)

Suponha que o registrador de carga paralela da Fig. 4 possua as características temporais indicadas na Tab. 7. Nesta situação, complete a forma de onda para o sinal Q, na Fig. 5.

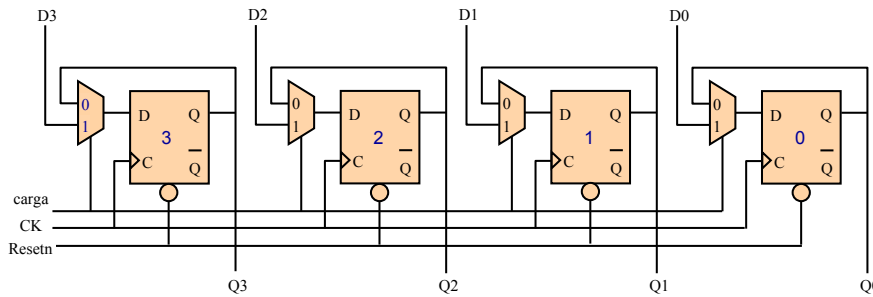


Fig. 4 – Registrador com carga paralela.

Tab. 7 - Características temporais do registrador com carga paralela da Fig. 4.

Característica	valor
Tempo de setup (t_{SU})	2 ns
Tempo de hold (t_H)	2 ns
Tempo de carga (t_{CO})	5 ns

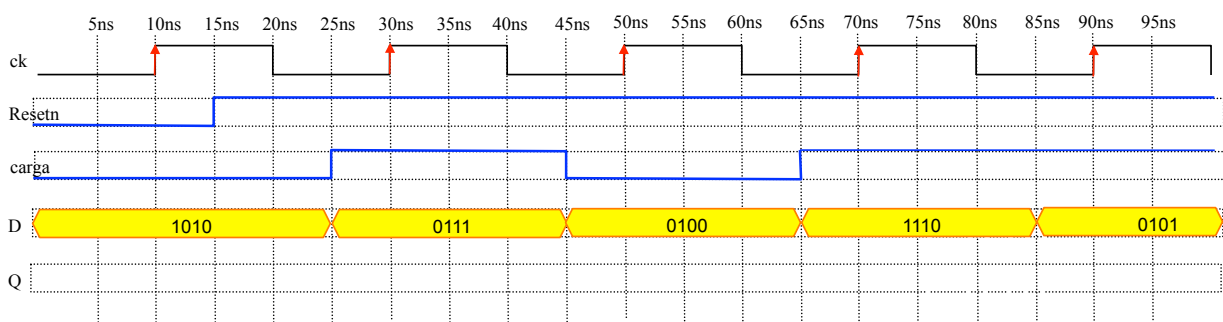


Fig. 5 – Formas de onda para sinais aplicados nas entradas do registrador com carga paralela da Fig. 4 e consequente forma de onda do sinal Q (a completar).

Exercício 11

A Tab. 8 mostra as características temporais dos componentes do circuito digital mostrado na Fig. 6.

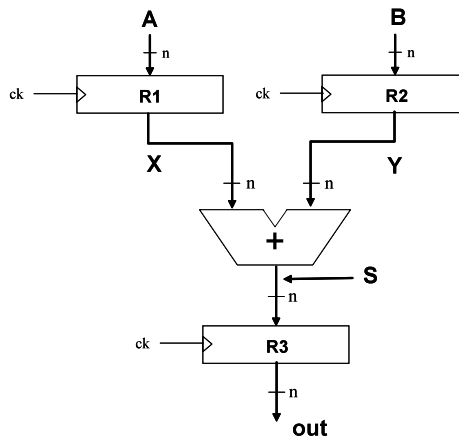


Fig.6 – Circuito digital: um somador com registradores de entrada e saída.

Tab. 8 - Características temporais dos componentes do circuito digital da Figura anterior.

Característica	valor
Tempo de setup (t_{SU}) para R1, R2 ou R3	1 ns
Tempo de hold (t_H) para R1, R2 ou R3	1 ns
Tempo de carga (t_{CO}) para R1, R2 ou R3	2 ns
Atraso crítico do somador (t_{ds})	2 ns

- Complete as formas de onda da Fig. 7, de modo a minimizar o período do relógio (ck). Suponha que os dados nas entradas dos registradores R1 e R2 (i.e., sinais **A** e **B**) são aplicados ao mesmo tempo.
- Desenhe a forma de onda para o relógio.

c) Qual é o período mínimo do relógio, em ns?

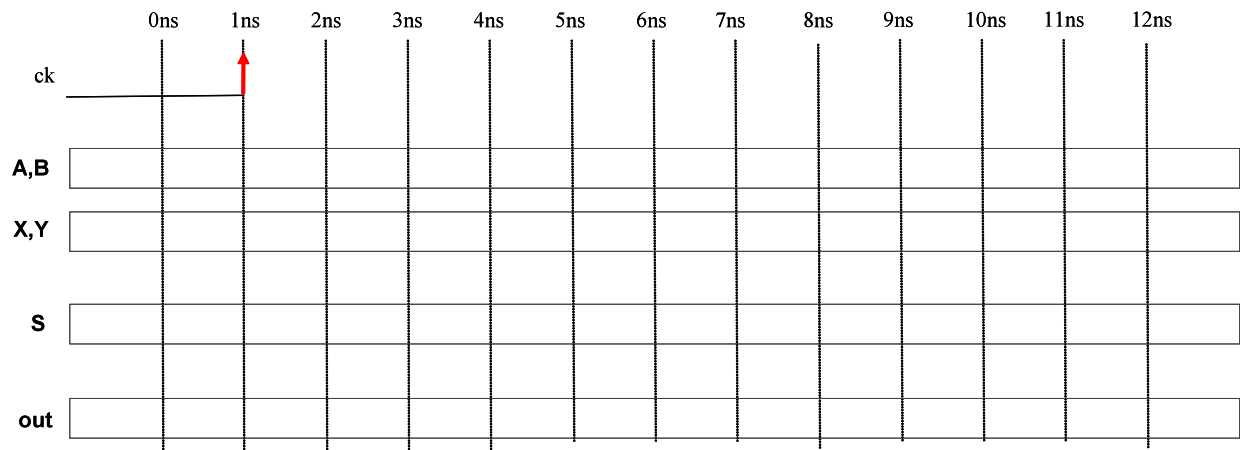


Fig. 7 – Formas de onda nas entradas e nos sinais internos do circuito da Fig. 6, para período mínimo do relógio e forma de onda do relógio (a completar).