



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Curso de Graduação em Ciências da Computação



Sistemas Digitais

INE 5406

Aula 10-P

**Refinamento das especificações do Trabalho Prático:
Tema 1 - Controlador de Acesso Direto à Memória (DMAC)**

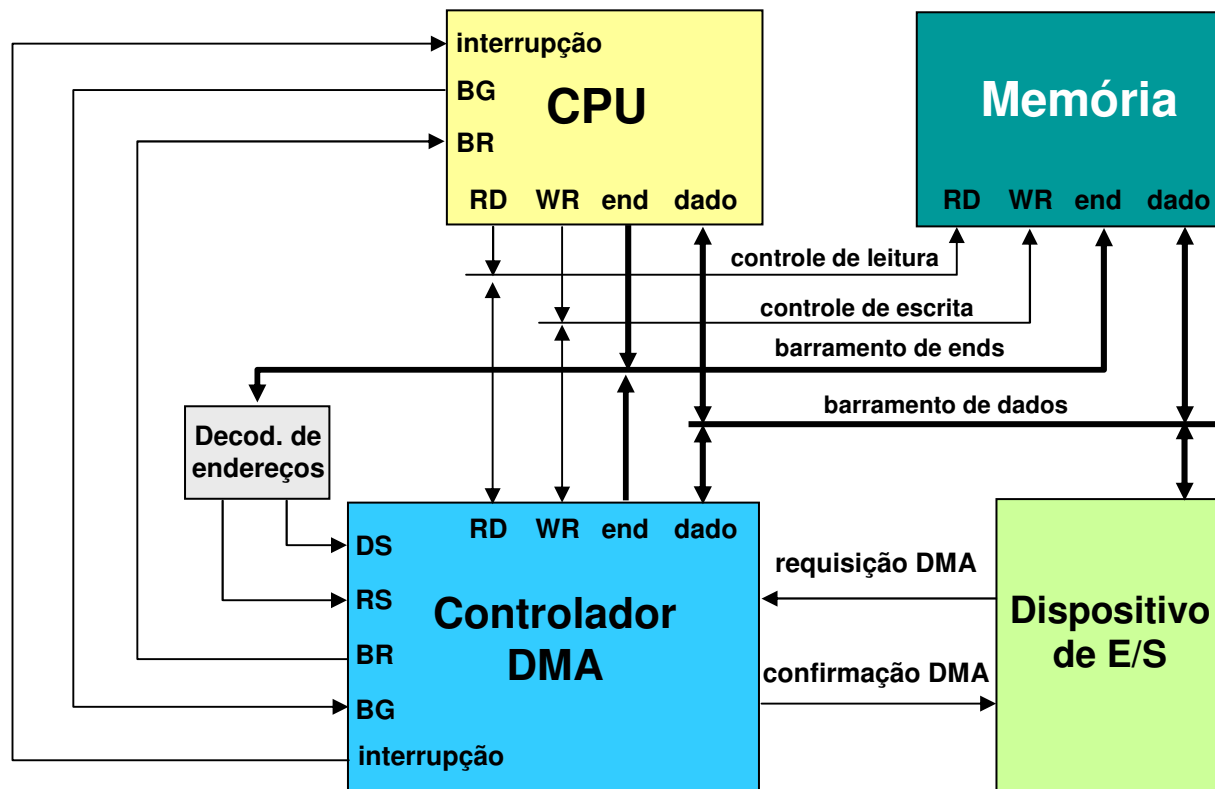
Prof. José Luís Güntzel
guntzel@inf.ufsc.br

www.inf.ufsc.br/~guntzel/ine5406/ine5406.html

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA (DMAC)

O controlador de DMA no sistema



Sinais:

BR= Bus Request
(requisição de barramento)

BG= Bus Grant
(concessão de barramento)

RD= Read

WR= Write

DS= DMA select
(seleciona DMA)

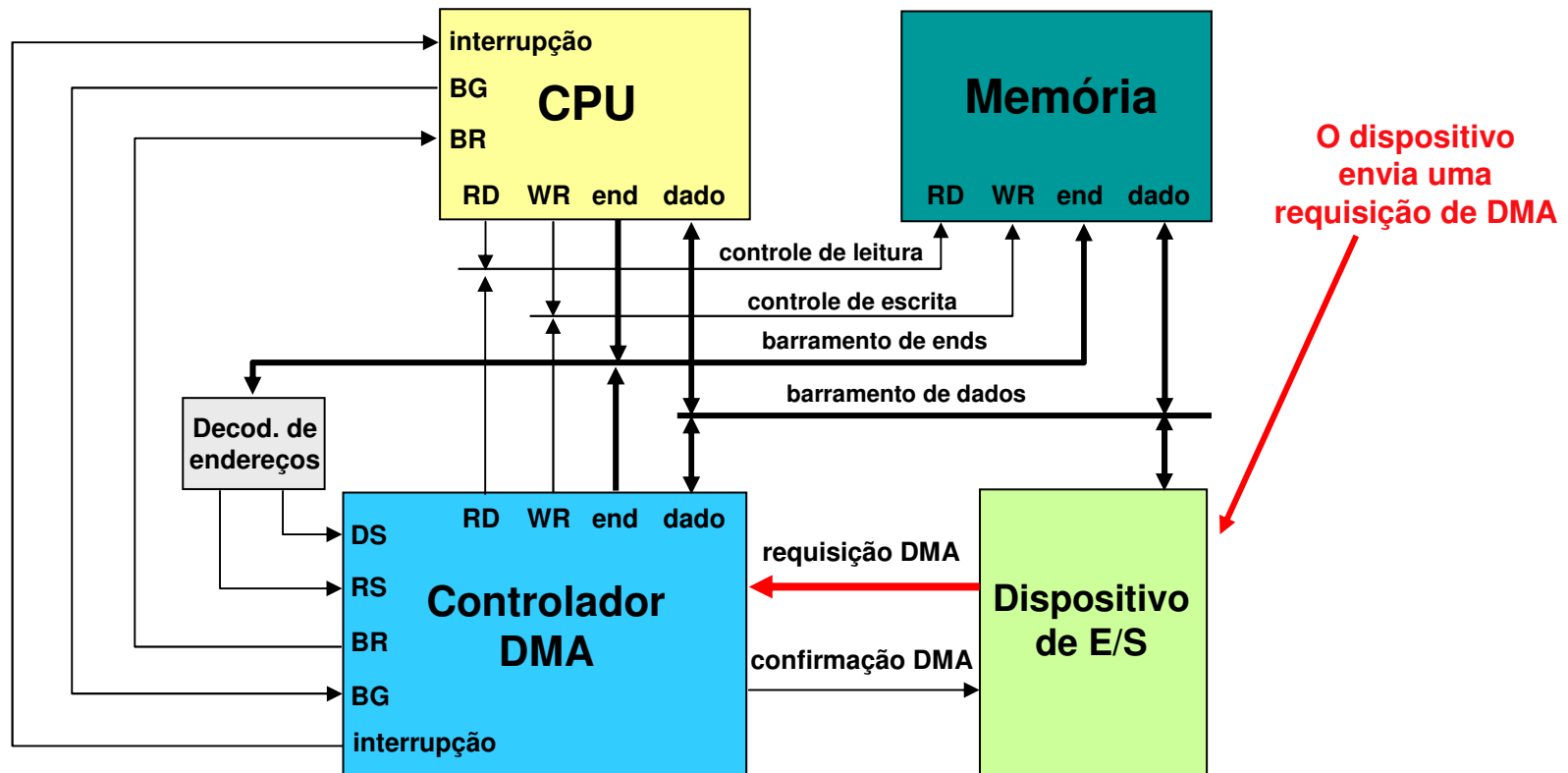
RS= register select
(seleciona registrador)

OBS: o DMAC tem seu próprio endereço no sistema.

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

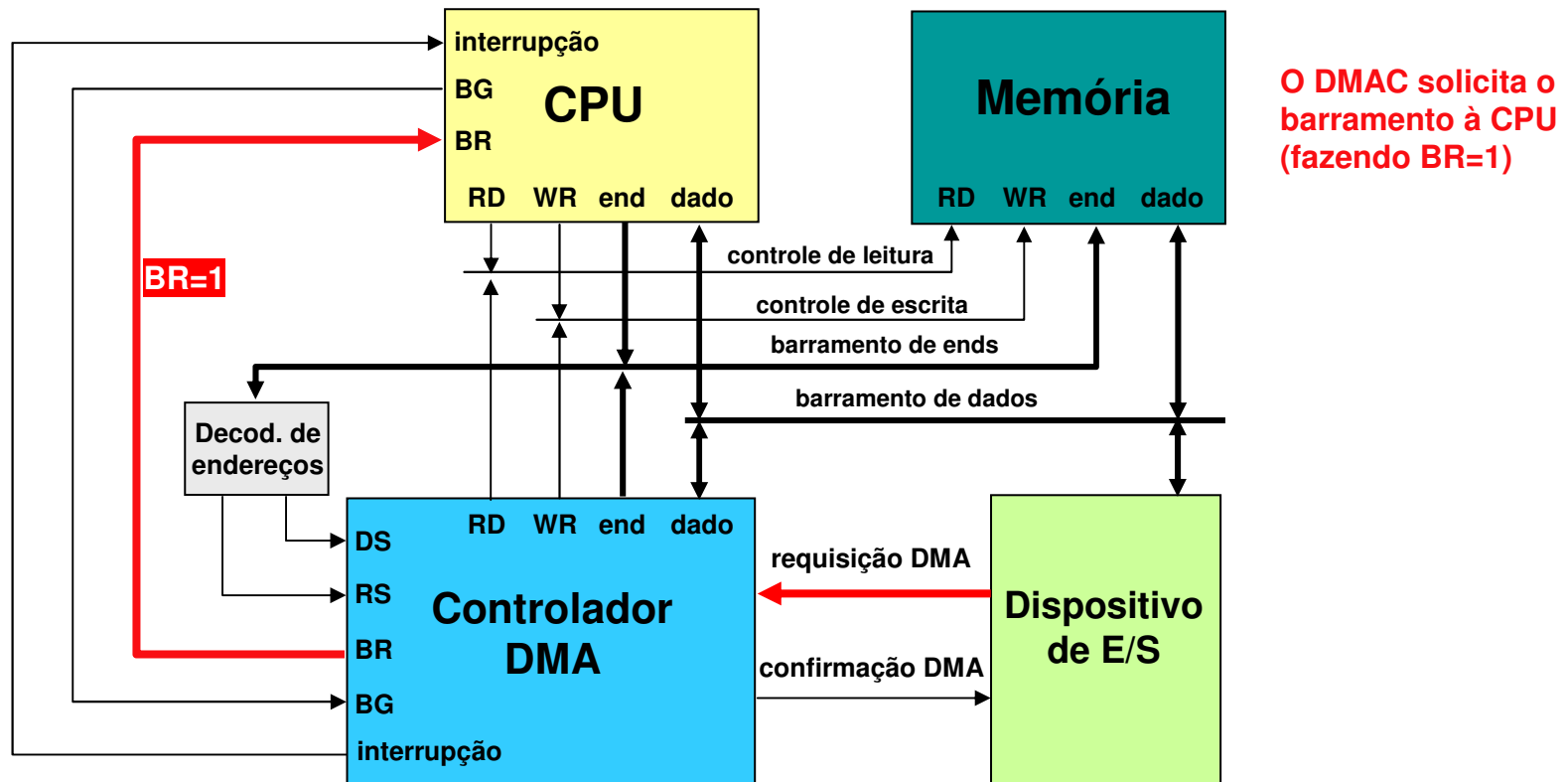
Operação



Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

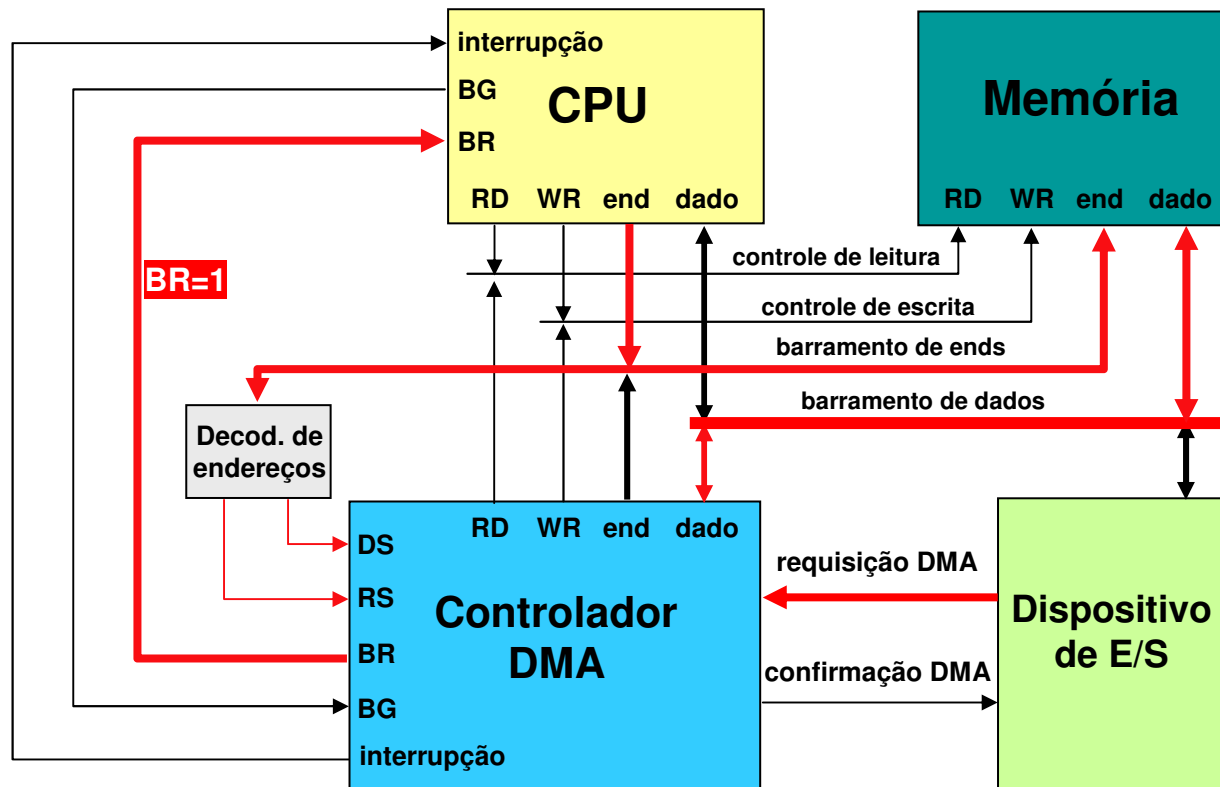
Operação



Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

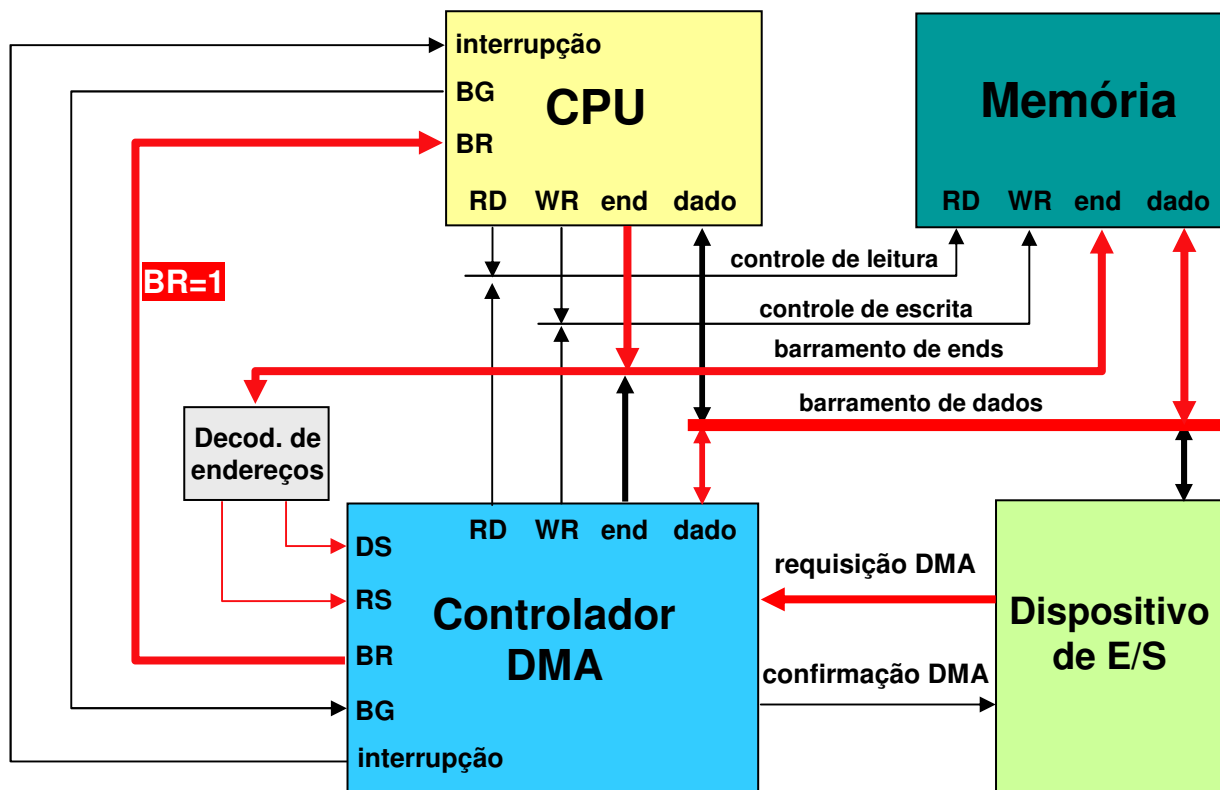


Inicia-se a fase de programação do DMAC (a CPU programa o DMAC): A CPU seleciona o DMAC, colocando no barramento de endereços o endereço de um dos registradores do DMAC. Ao mesmo tempo, a CPU coloca no barramento de dados o valor a ser programado no registrador (do DMAC) selecionado.

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação



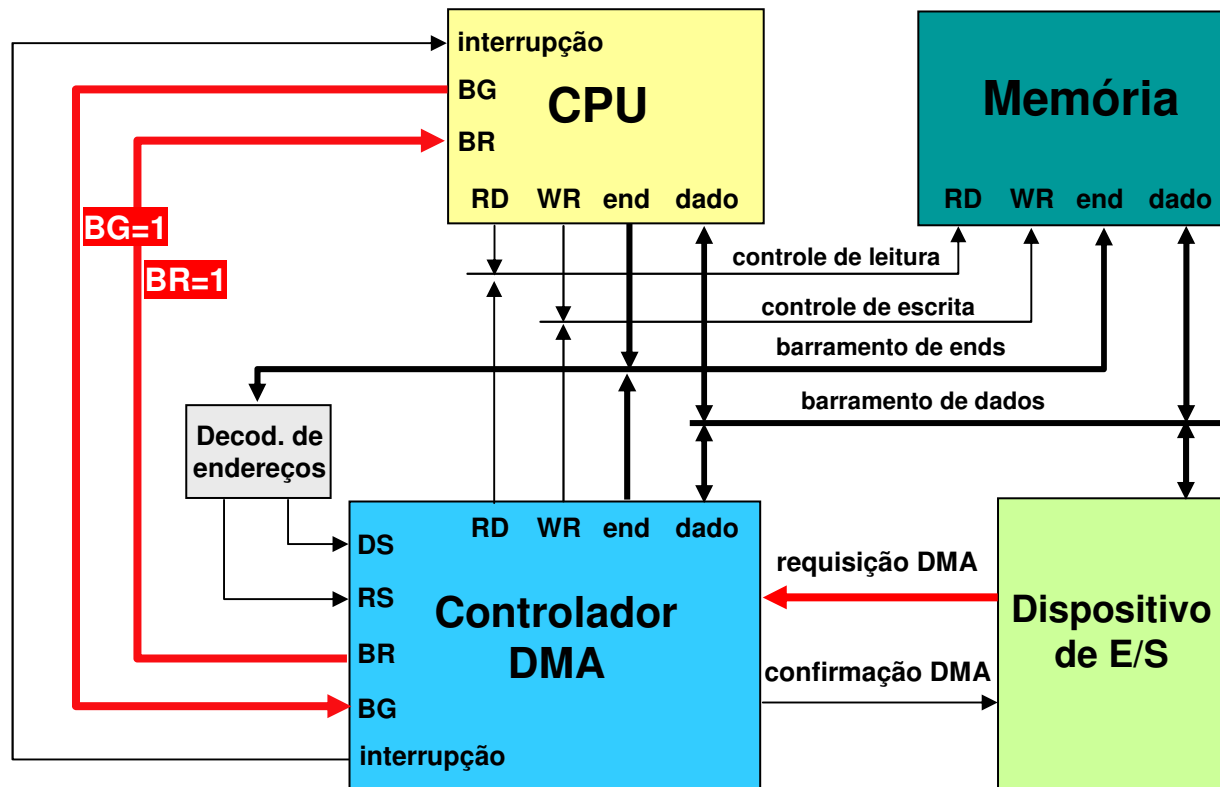
Continuação da fase de programação do DMAC:

A CPU coloca no barramento de endereços o endereço de outro registrador do DMAC. Ao mesmo tempo, a CPU coloca no barramento de dados o valor a ser programado no registrador selecionado. (Este passo será repetido para programar cada um dos registradores internos ao DMAC. Ver comentário mais adiante.)

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

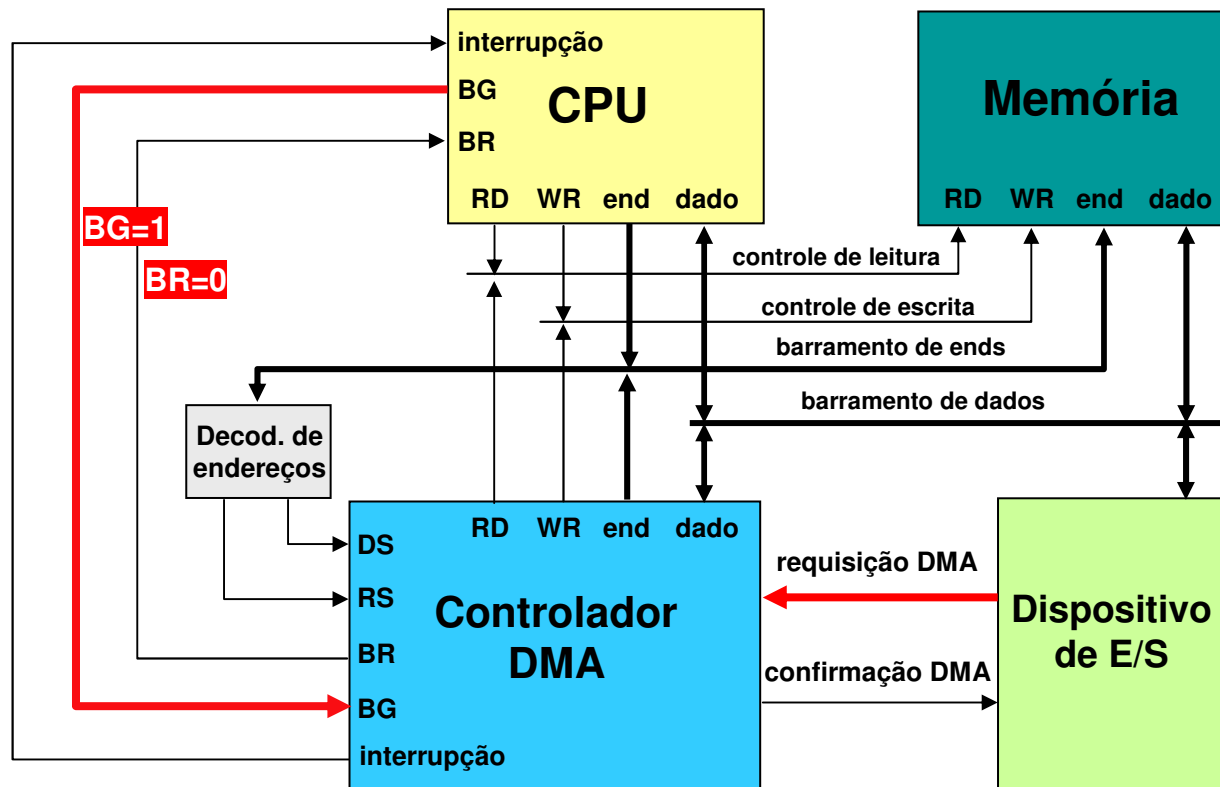


Conclusão da fase de programação do DMAC:
A CPU avisa o DMAC que a programação está pronta, concedendo o barramento (BG=1)

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

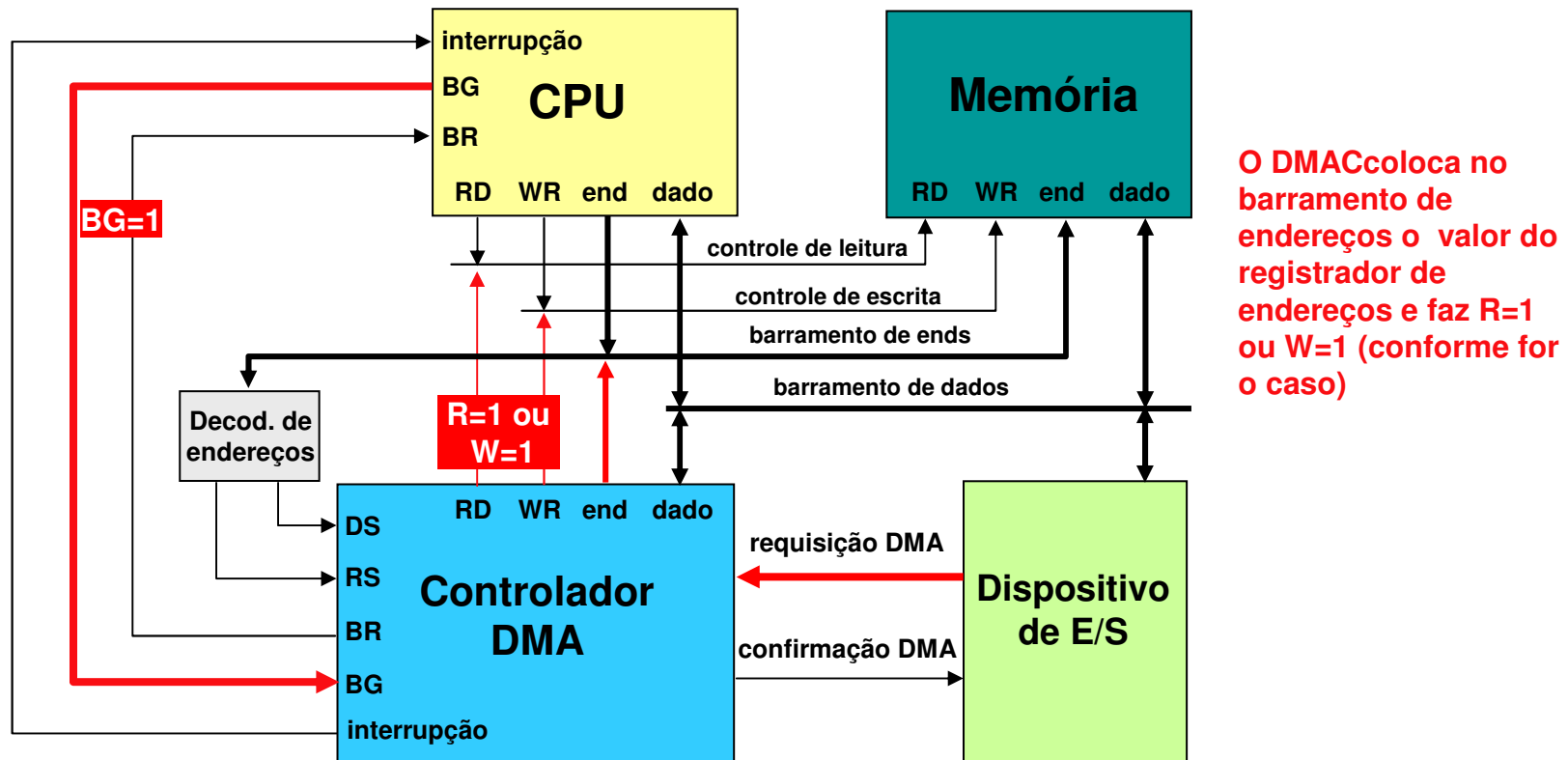


Conclusão da fase de programação do DMAC:
O DMAC baixa o sinal de requisição do barramento (BR=0)

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

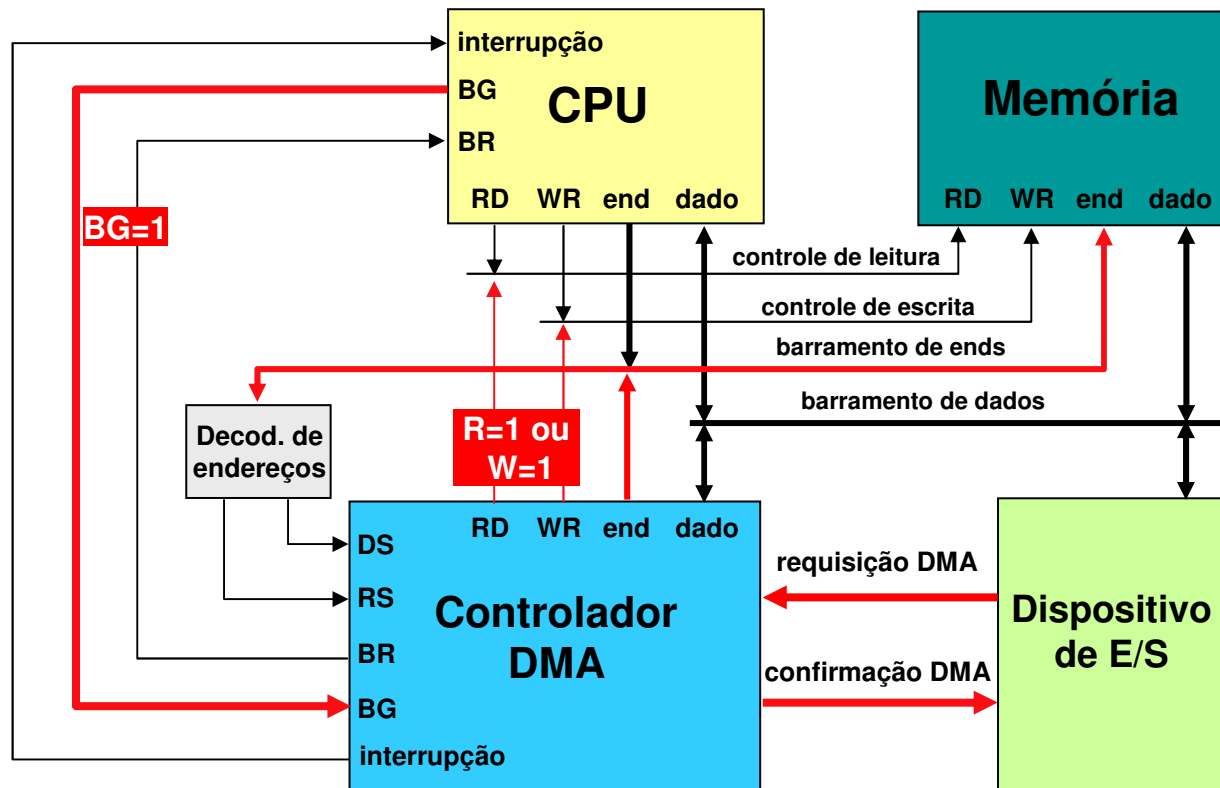
Operação



Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

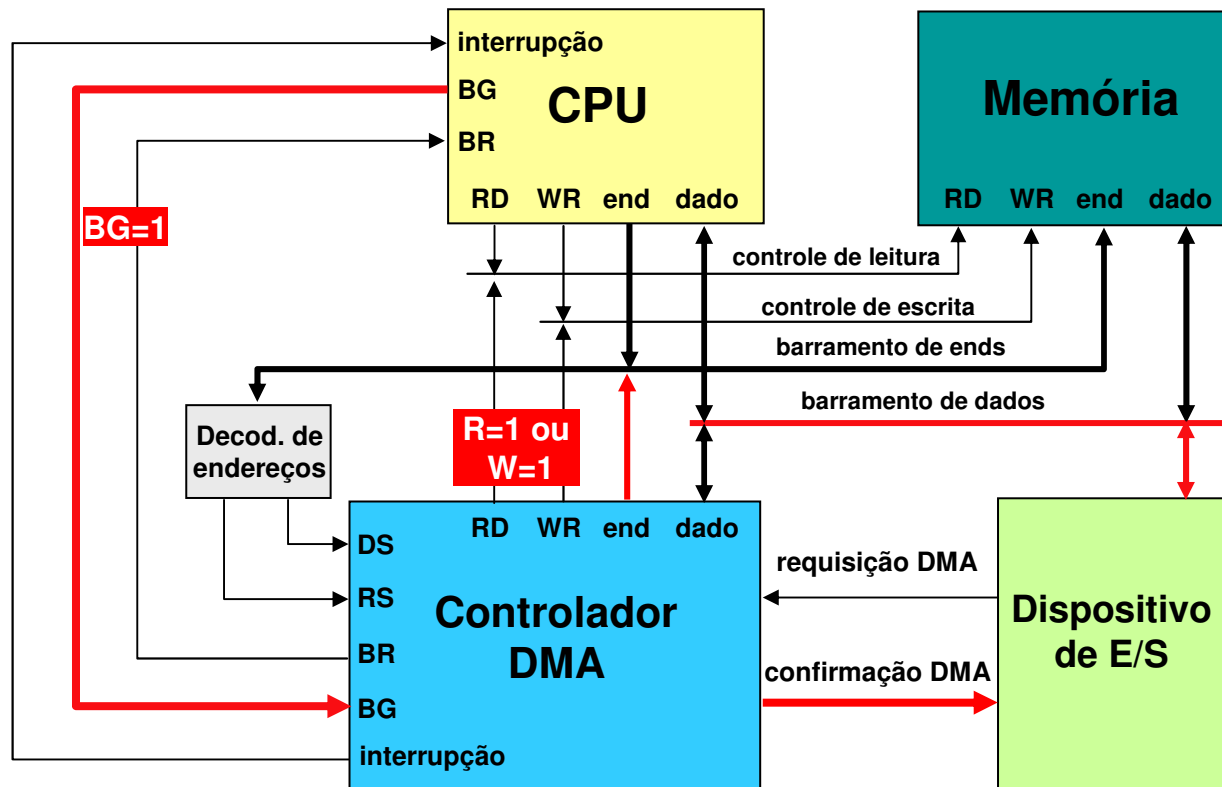


O DMAC levanta o sinal “confirmação DMA” para avisar o dispositivo de E/S que a transferência de uma palavra já pode ocorrer.

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

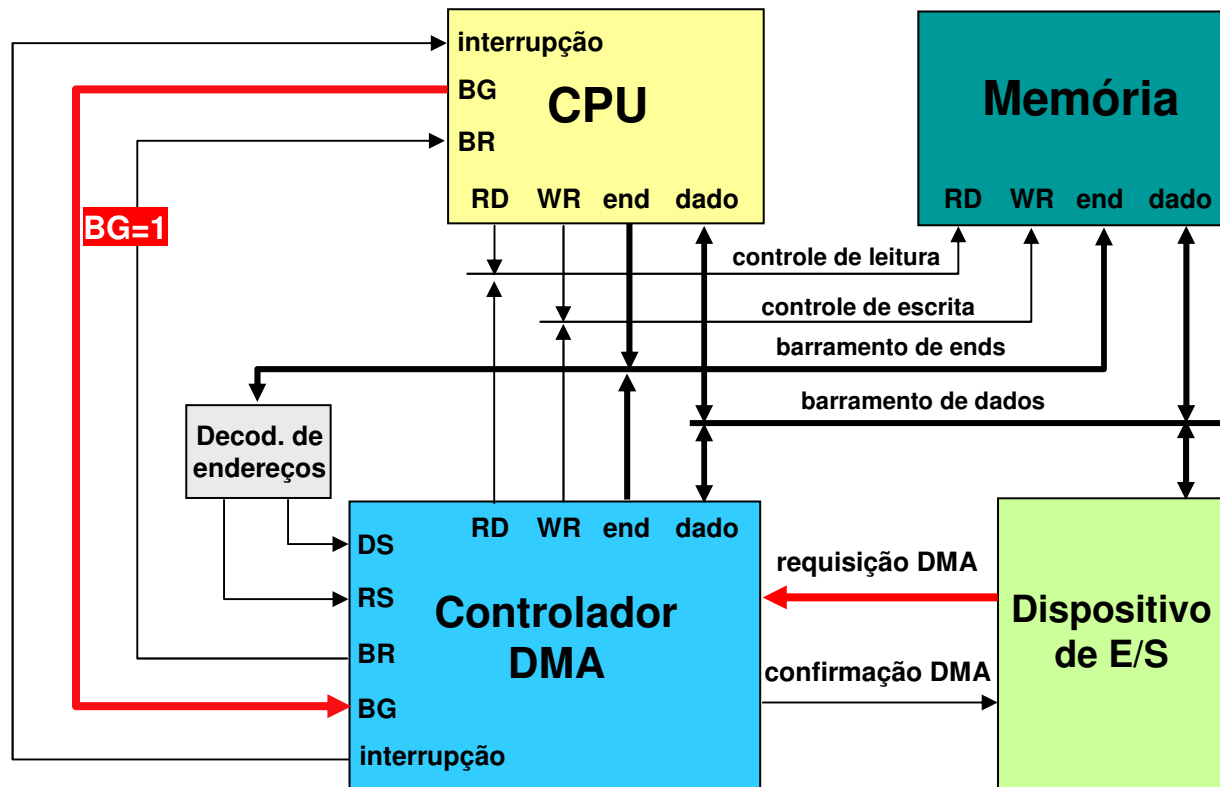


Quando o dispositivo de E/S recebe a confirmação, ele baixa o sinal de requisição de DMA e inicia a transferência direta com a memória. Se for uma leitura da memória, o dispositivo de E/S irá esperar que a leitura da memória ocorra para então, ler o dado do barramento. Se for escrita da memória, o dispositivo de E/S irá colocar o dado no barramento e esperar que a memória leia-o.

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

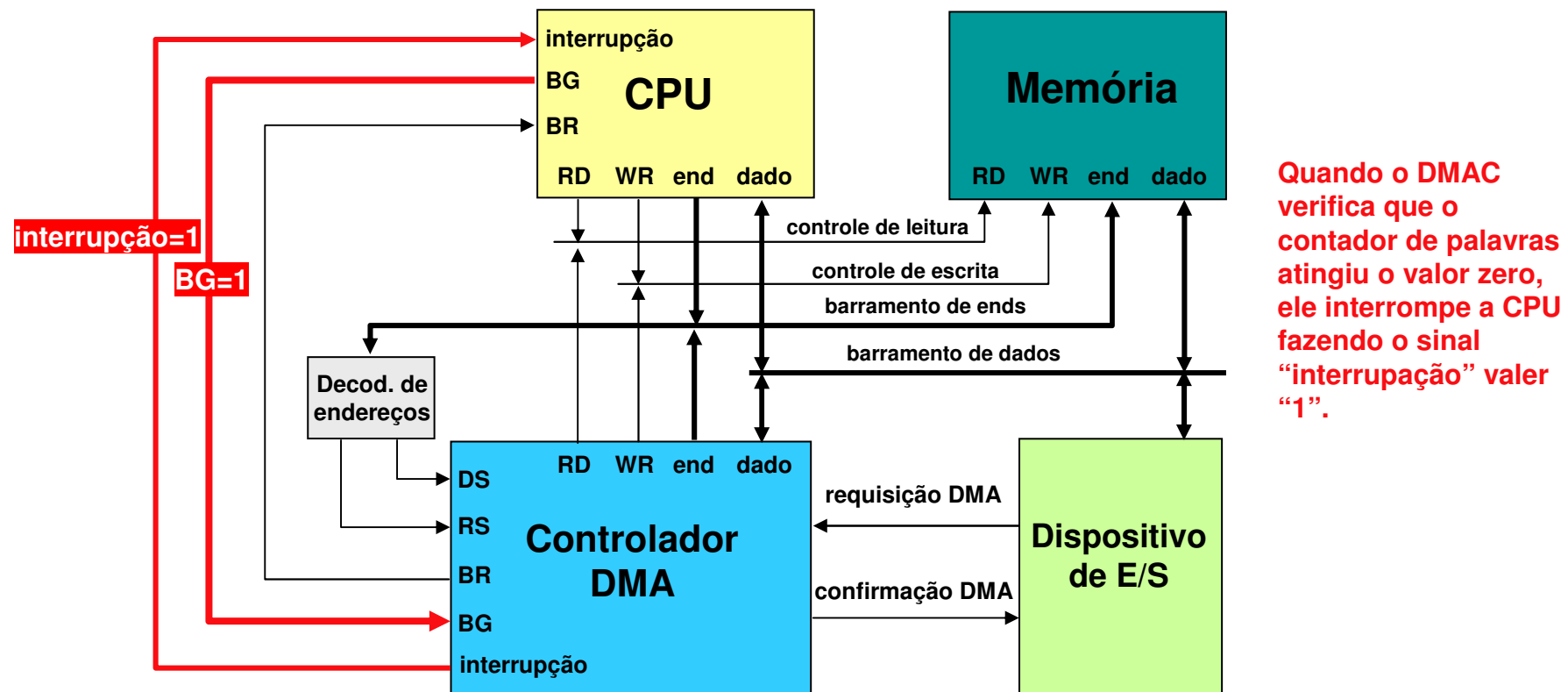


Quando a transferência de uma palavra entre dispositivo de E/S e memória for concluída, o dispositivo de E/S avisa ao DMAC levantando o sinal "requisição DMA". Neste momento o DMAC incrementa o registrador de endereço e decrementa o registrador de palavras. O DMAC também verifica se o registrador de palavras atingiu o valor zero. Caso positivo, a transferência termina. Caso negativo, o DMAC levanta o sinal "confirmação DMA" para que seja transferida uma nova palavra.

Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

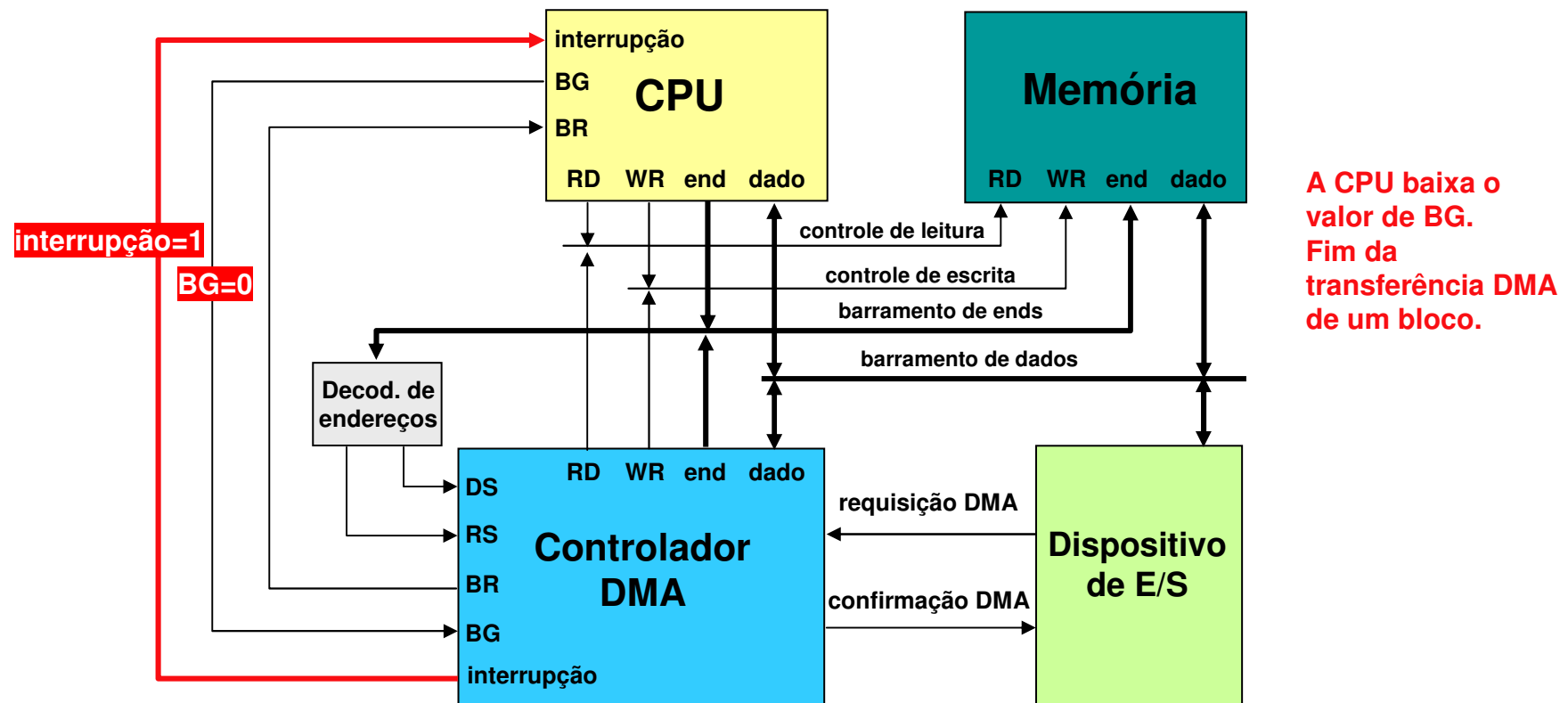
Operação



Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Operação

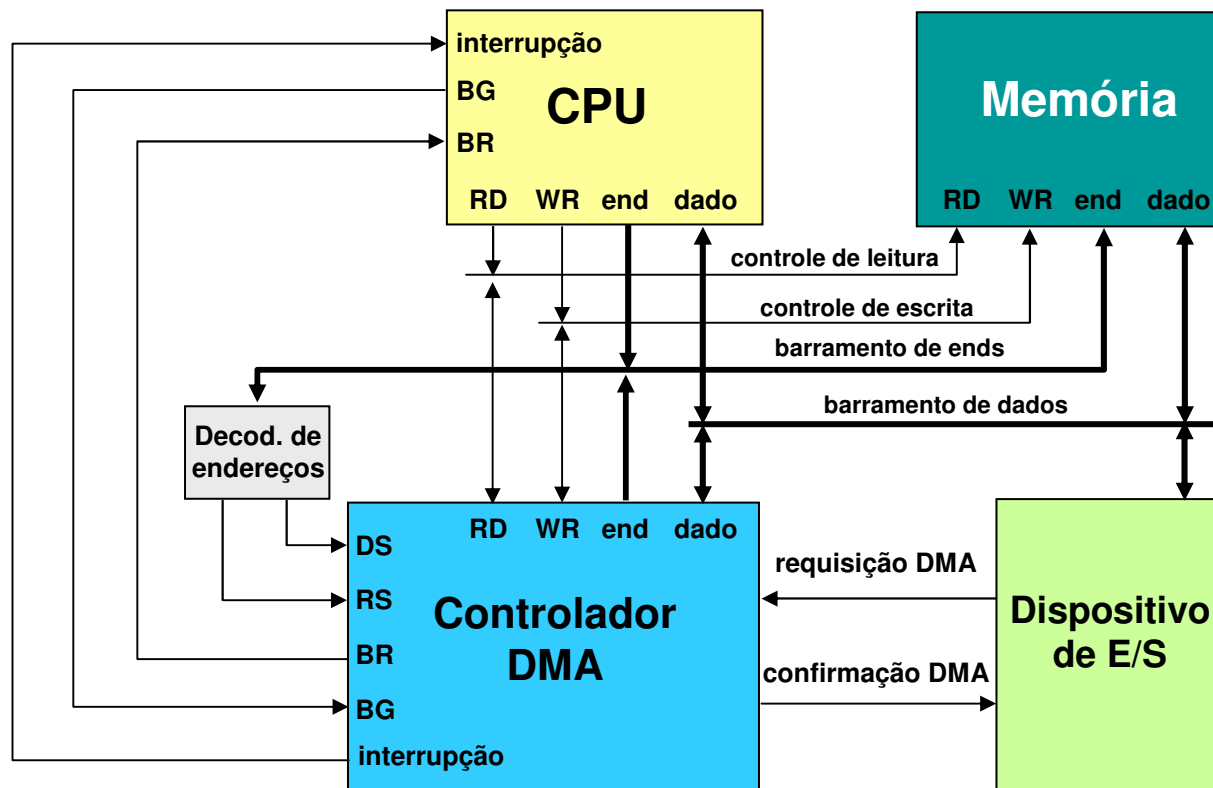


Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA (DMAC)

Assertivas para o Trabalho Prático

Iremos assumir que:

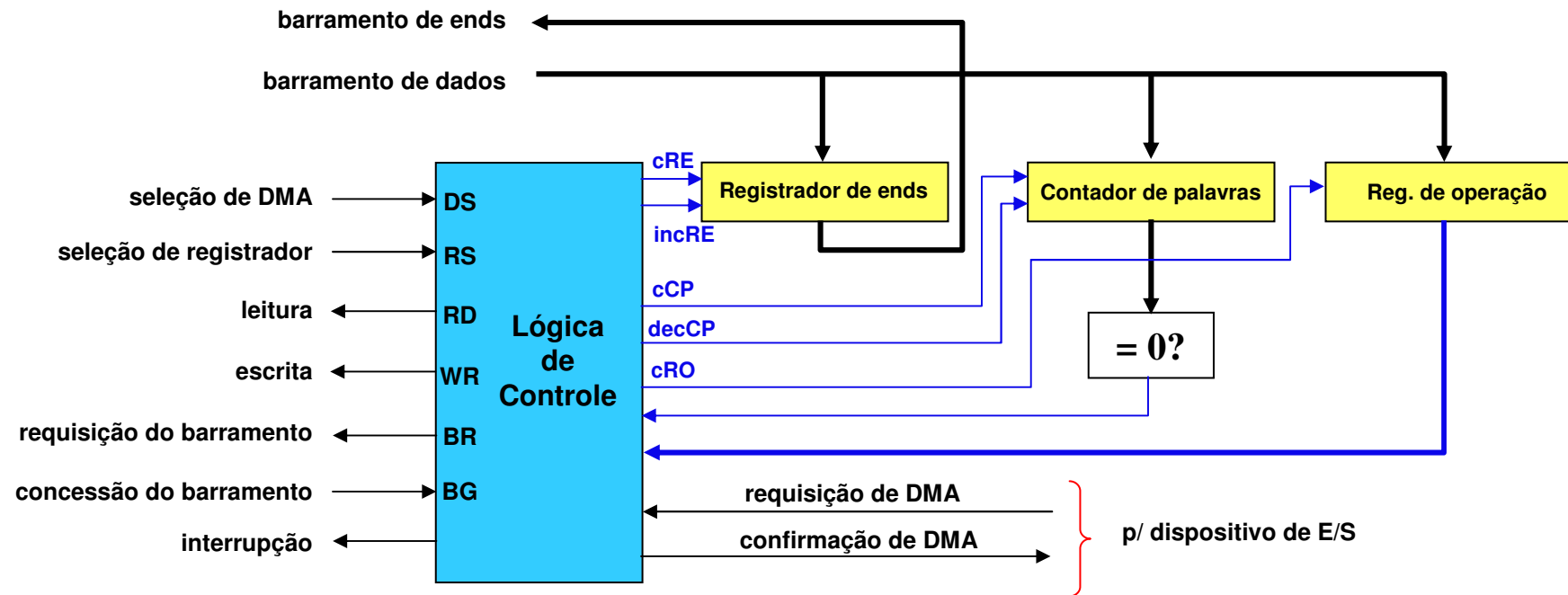


- Existem **dois** dispositivos de E/S
- Há **dois** modos de transferência: bloco e palavra
- As palavras transferidas não passam por dentro do DMAC (vai do disp. E/S para a memória ou vice-versa, via barramento)
- Tanto o barramento de dados quanto o de endereços têm largura de 8 bits.

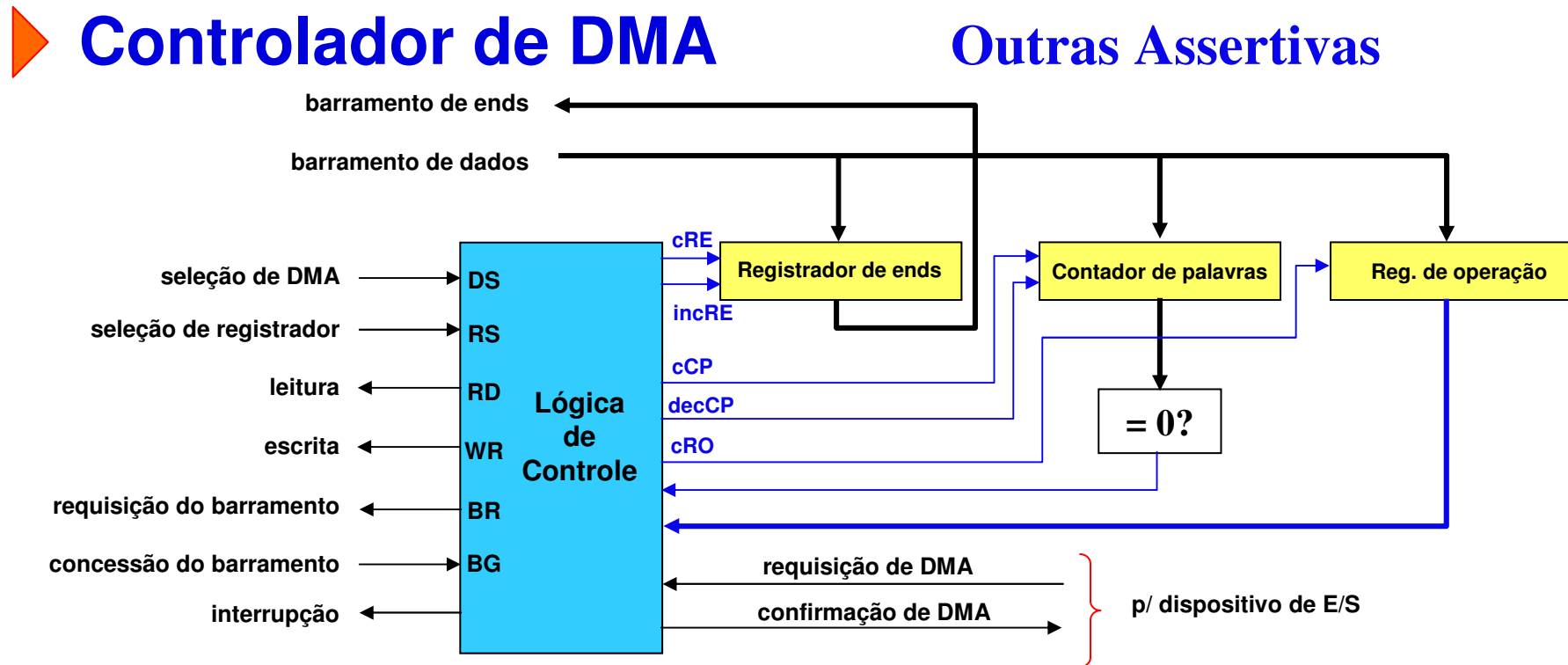
Controlador de Acesso Direto à Memória (DMAC)

▶ Controlador de DMA

Estrutura Interna (Exemplo para DMAC de 1 Canal, i.e., um dispositivo de E/S)



Controlador de Acesso Direto à Memória (DMAC)



- O DMAC possui três registradores internos. Cada um tem um endereço específico no sistema (todos os três sob o mesmo endereço do DMAC...)
- A programação de cada registrador exige no mínimo um ciclo de relógio. Assumir que o DMAC e a CPU trabalham sincronizados pelo mesmo sinal de relógio.
- Os tempos de escrita e de leitura da memória ficarão transparentes ao DMAC, pois ele ficará esperando que o dispositivo de E/S sinalize a conclusão da transferência de uma palavra.

Controlador de Acesso Direto à Memória (DMAC)

► Complemento das Especificações

- Para especificar o modo de transferência (bloco ou palavra), há um quarto registrador (denominado de “modo”)
 - Supor que no modo “palavra”, após uma palavra ser transferida, o DMAC verifica se BG ainda vale “1”. Caso positivo, a transferência prossegue. Caso negativo, o DMAC pára de transferir e a CPU retoma o barramento. Neste caso, o DMAC fica aguardando que BG volte a ser “1” para então, prosseguir a transferência exatamente do ponto em que parou.
- Para cada um dos dois dispositivos, há um par de fios (reqDMA, confDMA). Chamá-los de reqDMA0, confDMA0, reqDMA1 e confDMA1.
 - No caso de ambos dispositivos (disp0 e disp1) solicitarem uma transferência DMA, considerar que disp0 tem prioridade.

Controlador de Acesso Direto à Memória (DMAC)

▶ Referências Bibliográficas

MANO, Morris. Logic and Computer Design Fundamentals. Ed. Prentice-Hall. 1997. p.550-561.

STALLINGS, William. Arquitetura e Organização de Computadores. 5ª edição. São Paulo: Prentice-Hall, 2002.

<http://cires.colorado.edu/jimenez-group/QAMSResources/Docs/DMAFundamentals.pdf>