Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Curso de Graduação em Ciências da Computação

Sistemas Digitais

INE 5406

Aula 11-T

4. Projeto de Sistemas Digitais no Nível RT. Estudo de caso e Exploração do Espaço de Soluções: multiplicador por somas sucessivas (sol.2- máx. desempenho) e multiplicador por somas e deslocamentos (sol.3).

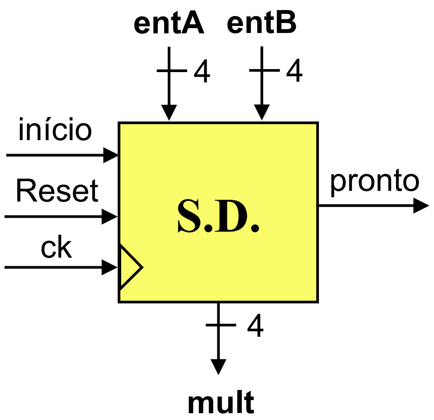
Prof. José Luís Güntzel
guntzel@inf.ufsc.br

www.inf.ufsc.br/~guntzel/ine5406/ine5406.html

Projeto do BO Visando Máximo Desempenho

Exemplo 1: Projetar um BO para o SD que implementa o algoritmo abaixo, assumindo que:

- O SD possua duas entradas de dados
- **O SD precisa ter alto desempenho**
- Não há restrição quanto ao custo

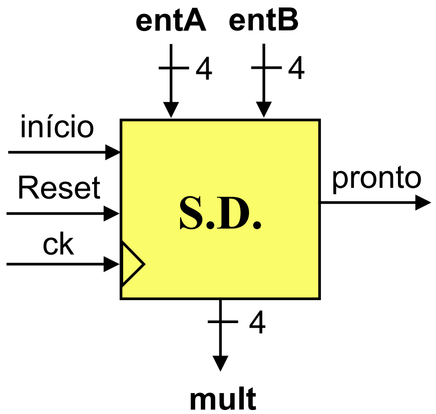



```
início
  pronto ← 0;
  A ← entA;
  B ← entB;
  P ← 0;
  Se B ≠ 0 então
  Enquanto A ≠ 0 faça
    início
    P ← P + B;
    A ← A - 1;
    fim
  mult ← P;
  pronto ← 1;
fim
```

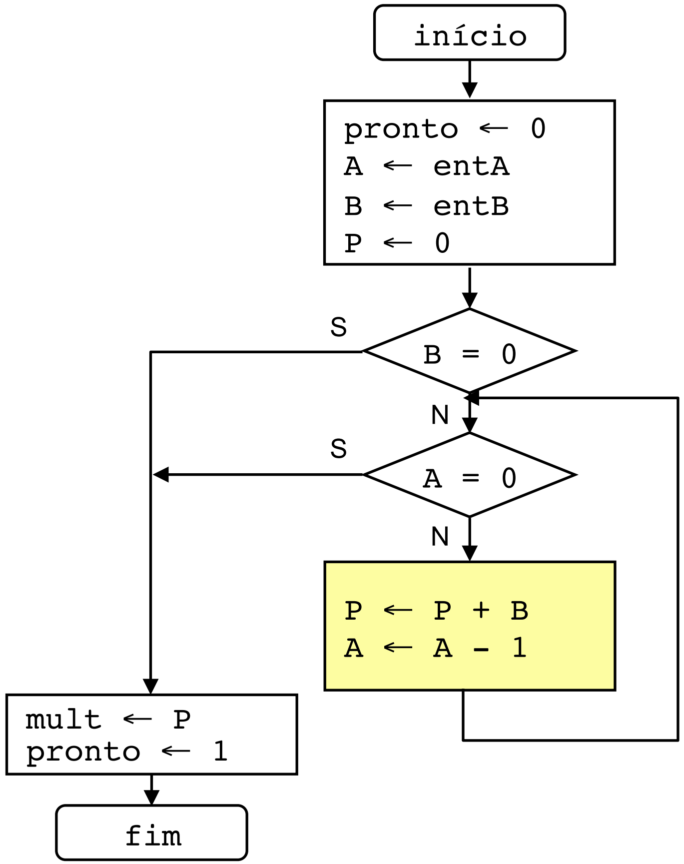
4. Projeto de Sistemas Digitais no Nível RT

Projeto do BO Visando Máximo Desempenho

Solução 2: Reestruturando o Algoritmo para máximo desempenho




```
início
  pronto ← 0;
  A ← entA;
  B ← entB;
  P ← 0;
  Se B ≠ 0 então
  Enquanto A ≠ 0 faça
    início
    P ← P + B;
    A ← A - 1;
    fim
  mult ← P;
  pronto ← 1;
fim
```



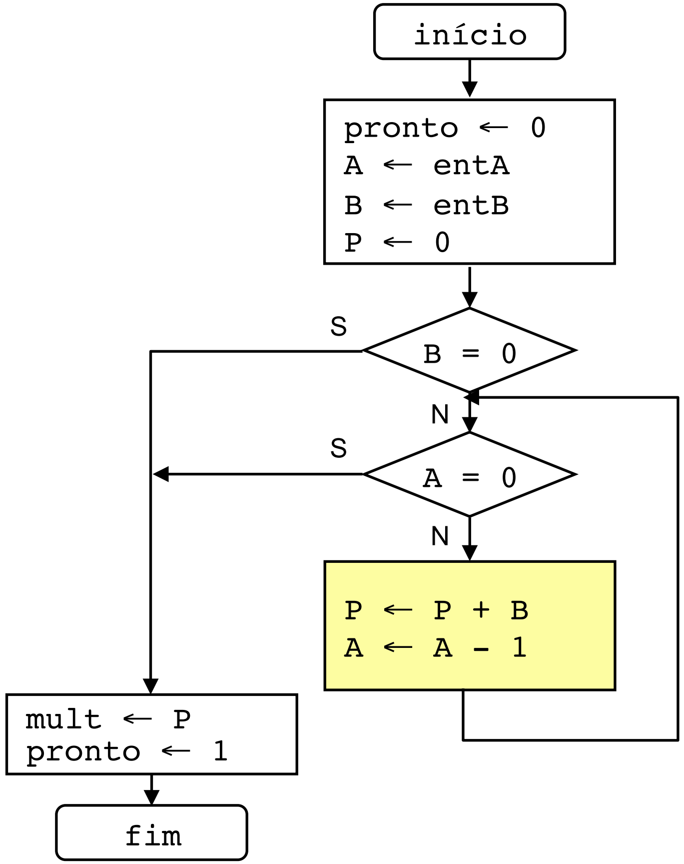
- Para aumentar o desempenho, tentaremos realizar mais de uma operação por ciclo de relógio (i.e., exploraremos o paralelismo existente no algoritmo)

4. Projeto de Sistemas Digitais no Nível RT

Projeto do BO Visando Máximo Desempenho

Solução 2: Unidades Funcionais (UFs) Necessárias

- As operações "+" e "-" serão realizadas no mesmo ciclo de relógio (em um único passo)
- Logo, necessitaremos de **um somador** e **um subtrator**



Projeto do BO Visando Máximo Desempenho

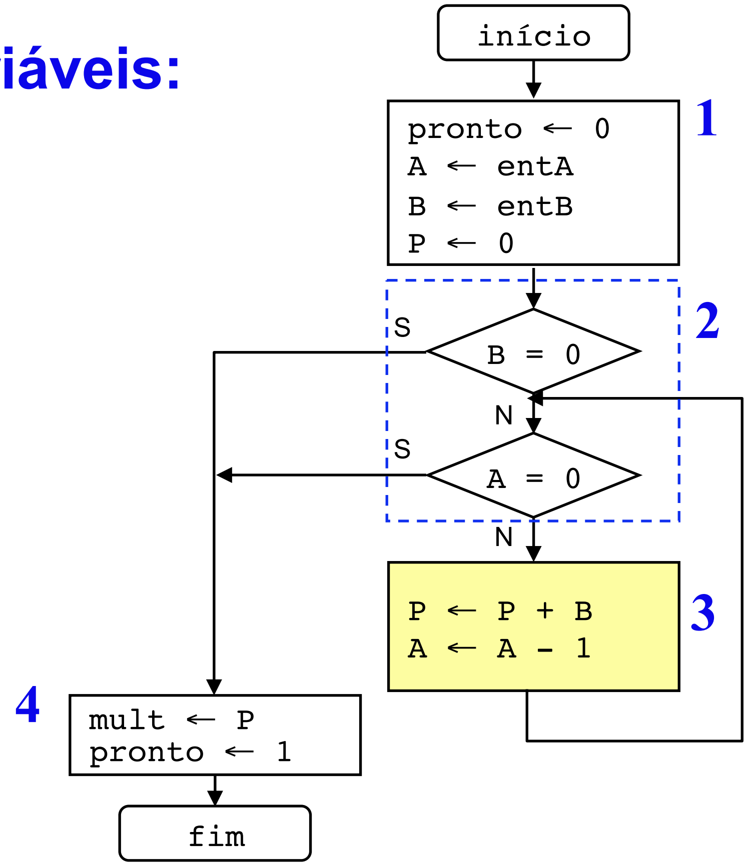
Solução 2: Registradores

Análise do tempo de vida das variáveis:

	1	2	3	4
A		X	X	
B		X	X	
P		X	X	X

as variáveis A, B e P são escritas na borda de relógio que encerra o passo 1 e dá início ao passo 2

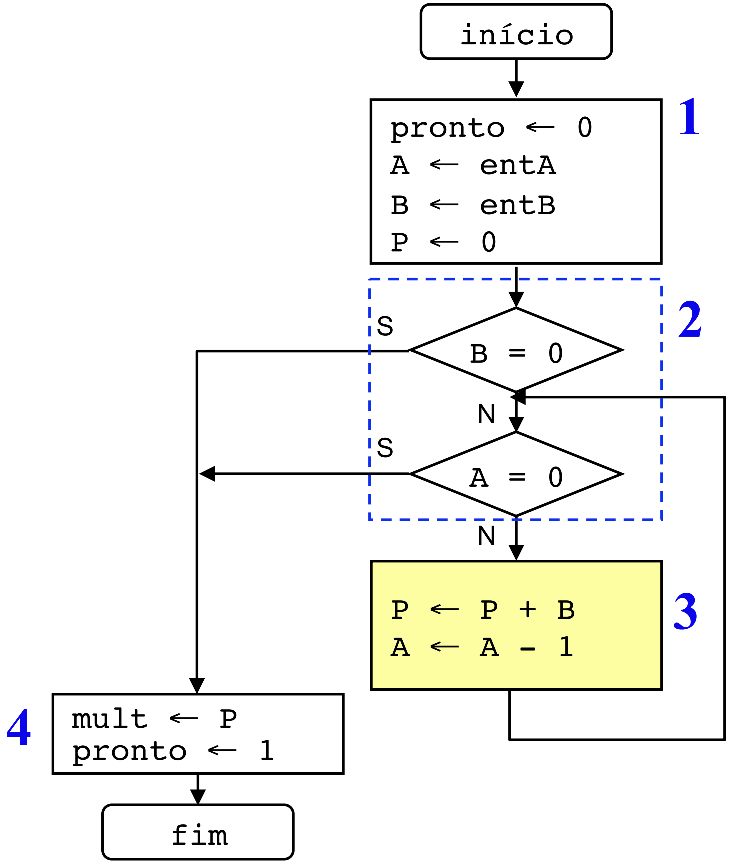
São necessários **3 registradores** (**A, B** e **P**”.

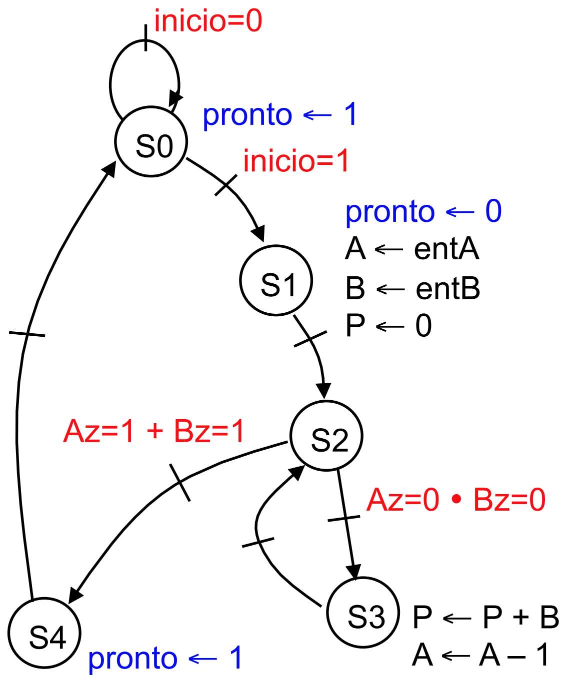


4. Projeto de Sistemas Digitais no Nível RT

Projeto do BO Visando Máximo Desempenho

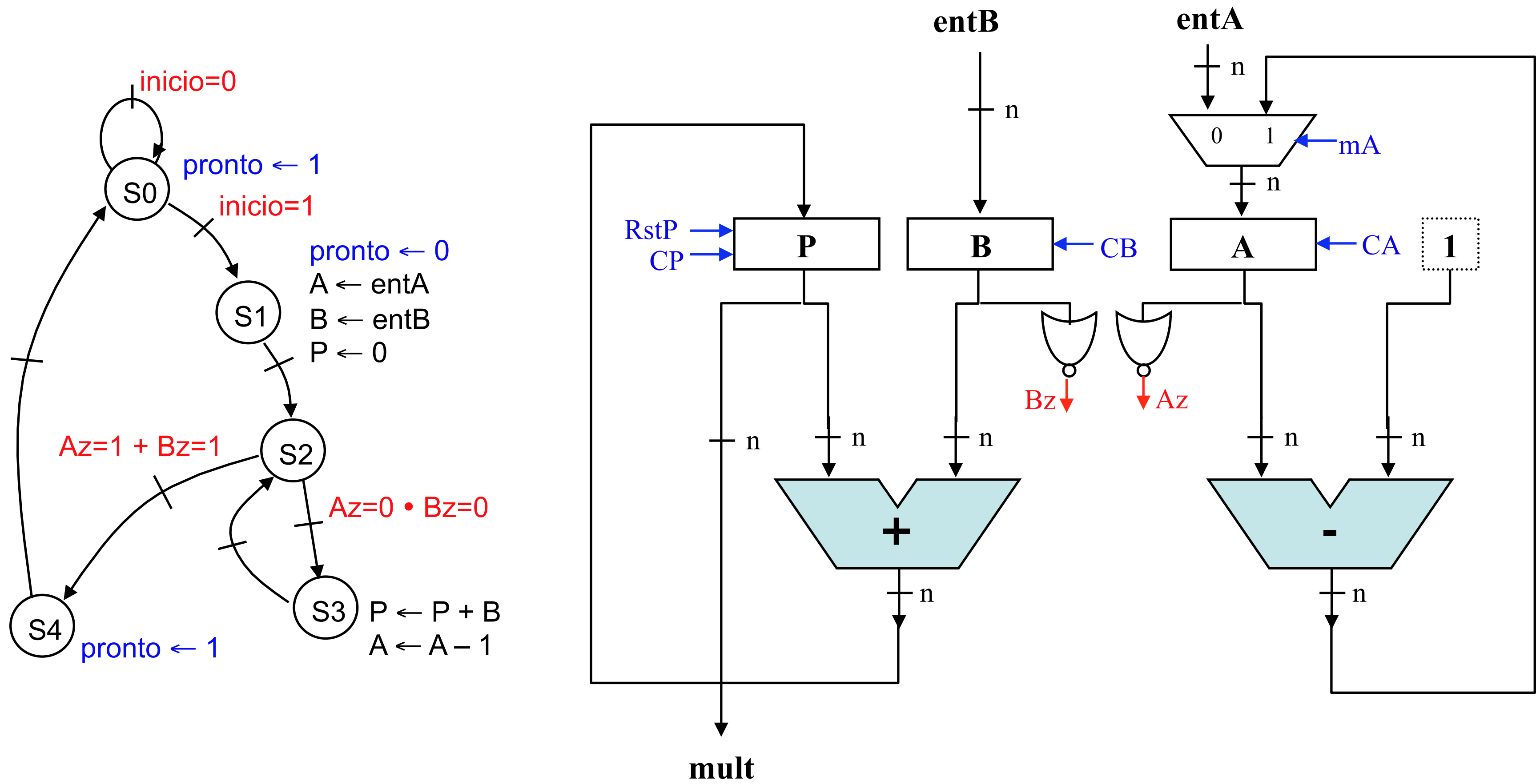
Fluxograma e FSMD equivalente



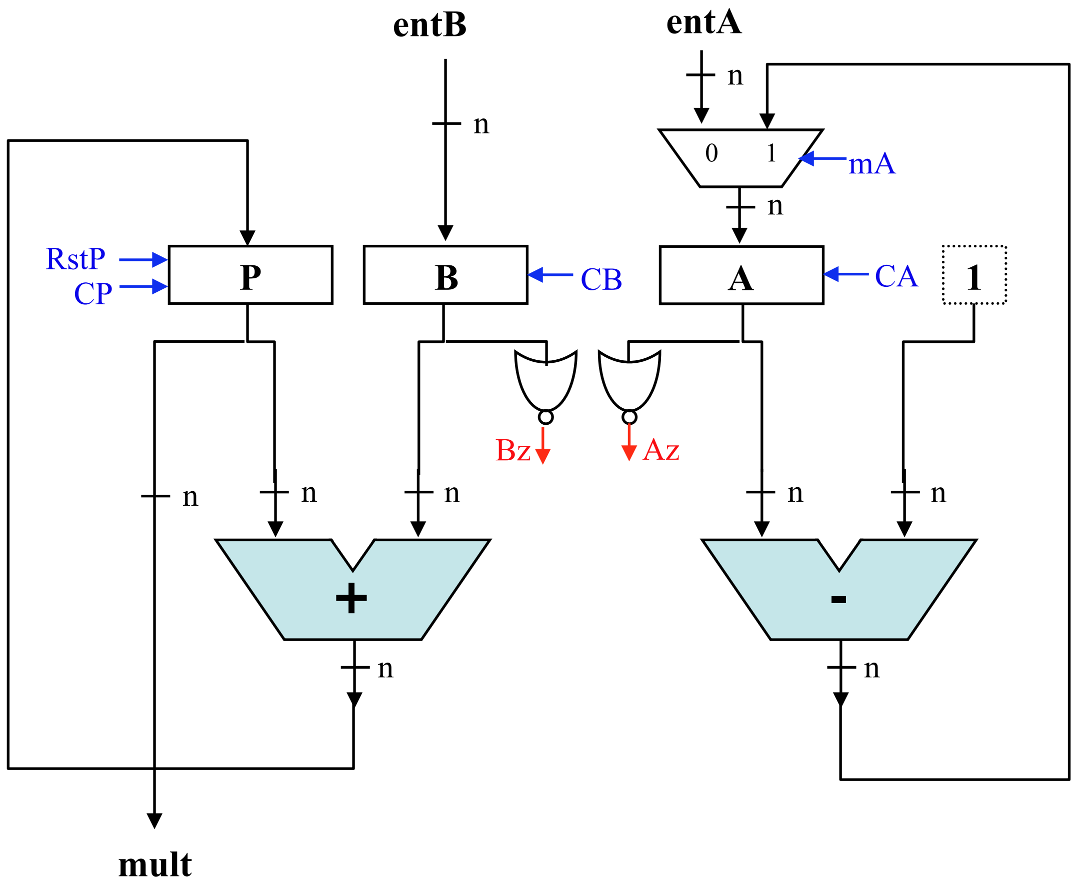


4. Projeto de Sistemas Digitais no Nível RT

Projeto do BO Visando Máximo Desempenho



Estimativa do Custo do BO da Solução 2

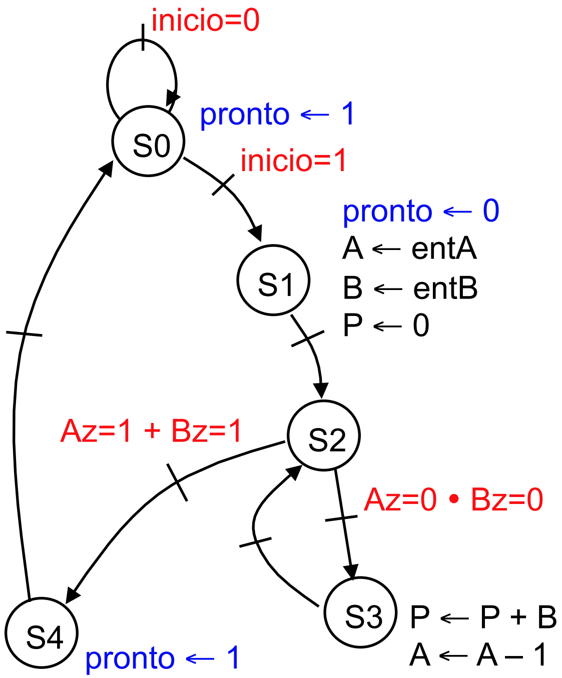


Custo do BO 2	Custo
1 Somador	24n
1 Subtrator	26n
1 Mux 2:1	4n
2 Registradores com carga paralela controlada	2x22n=44n
1 Registrador com carga paralela controlada e reset assíncrono	26n
Total	**124n**

Estimativa de custo para o BC:

- **Número de estados: 4 ou 5**
- **Número de sinais de controle = 5**

Estimativa do Desempenho do BO da Solução 2



Se n = 4 bits:

- Maior inteiro sem sinal: 15 (⇒1111)
- Pior caso: A=15, B≠0
- Sequência de execução: S1, 15x(S2,S3), S2, S4 = **33 ciclos de relógio**
- BO 1= 48 ciclos

Generalizando para n bits:

- Maior inteiro sem sinal: 2^n-1
- Pior caso: A= 2^n-1 , B≠0
- Sequência de execução: S1, (2^n-1)x (S2,S3), S2,S4 = 2x(2^n-1)+3 =~ **2^{n+1} ciclos de relógio**
- BO 1 = ~ 3x 2^n ciclos de relógio

4. Projeto de Sistemas Digitais no Nível RT

Comparação Solução 1 x Solução 2

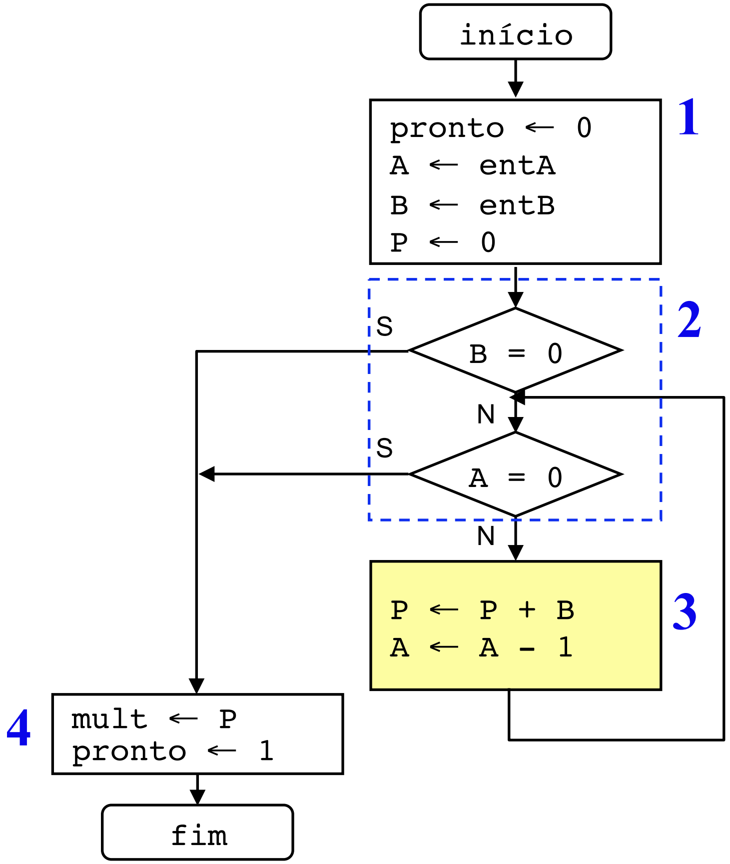
Quesito	BO 1	BO 2
Característica	Custo mínimo	Máximo desempenho
Custo do BO (nº de transistores)	**112n**	**124n**
Tempo de Execução (nº de ciclos de relógio)	**~ 3x 2^n**	**~ 2x 2^n**
Impacto no BC nº de estados nº de sinais de controle	6 9 (4)	5 5 (?)

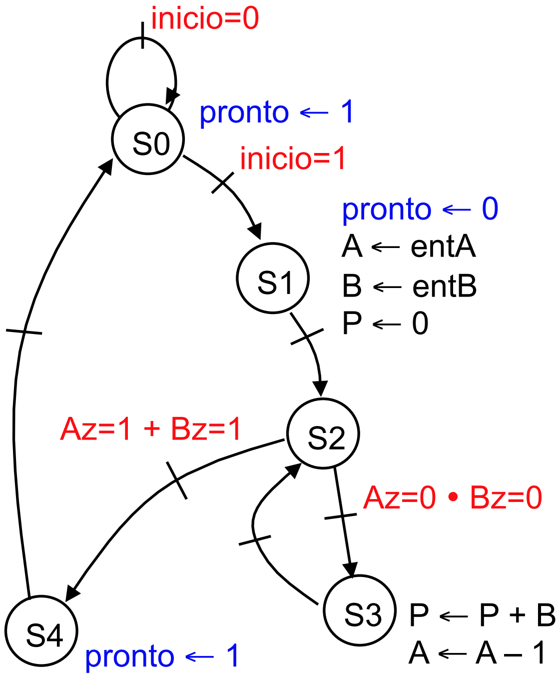
A exploração do paralelismo inerente ao algoritmo resultou em:

- Redução do número de passos de execução (redução do número de estados). No caso estudado, a aceleração foi de 1,5x.
- Maior custo do BO. No caso estudado, +10%.
- Menor número de sinais de controle necessários (indício de redução do custo do BC)

Projeto do BC para a Solução 2

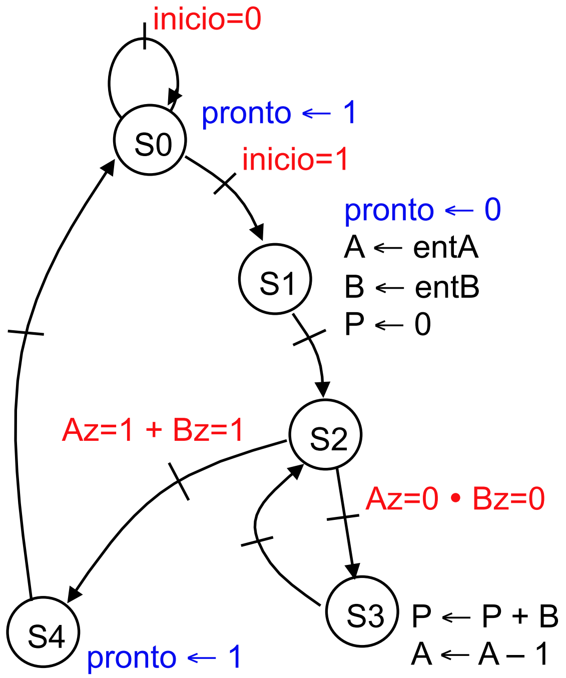
Diagrama de Estados (Assumindo Moore)





Projeto do BC para a Solução 2

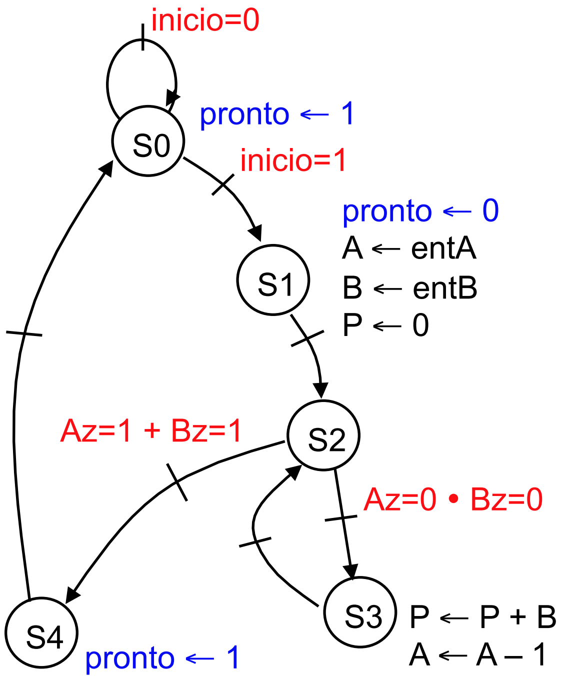
Tabela de Transição de Estados (Assumindo Moore)

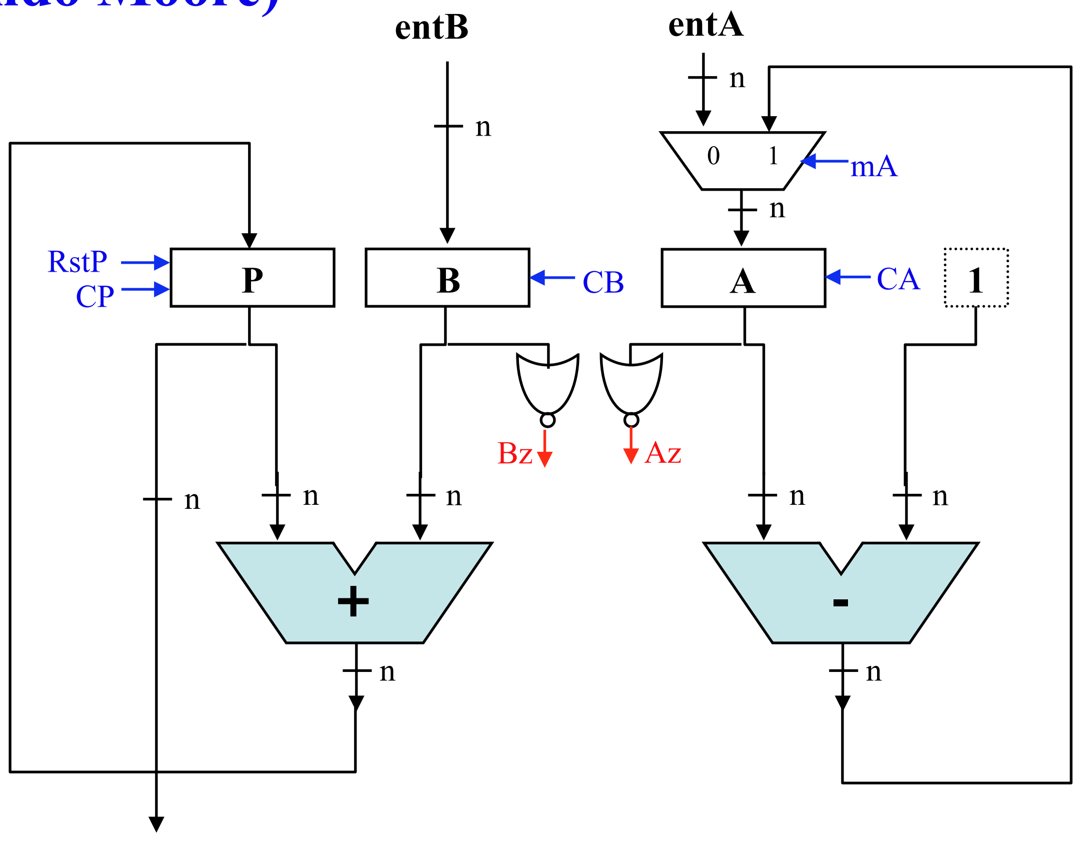


Estado atual	Entradas			Próx. Estado
	início	BZ	AZ	
S0	0	-	-	S0
	1	-	-	S1
S1	-	-	-	S2
S2	-	0	0	S3
	-	0	1	S4
	-	1	0	S4
	-	1	1	S4
S3	-	-	-	S2
S4	-	-	-	S0

Projeto do BC para a Solução 2

Tabela de Saídas (Assumindo Moore)

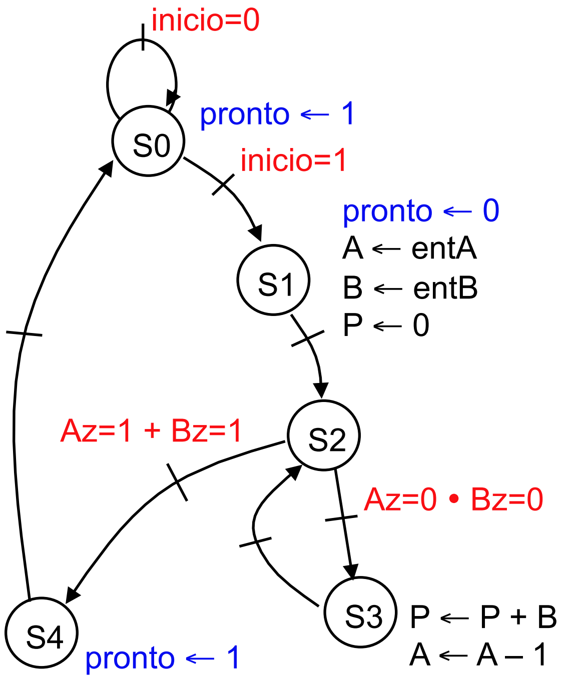




4. Projeto de Sistemas Digitais no Nível RT

Projeto do BC para a Solução 2

Tabela de Saídas (Assumindo Moore)



Estado	Reg. P		Reg. A			saída
	RstP	CP	mA	CA	CB	pronto
S0	0	0	-	0	0	1
S1	1	0	1	1	1	0
S2	0	0	-	0	0	0
S3	0	1	0	1	0	0
S4	0	0	-	0	0	1

1 sinal

RstP = mA = CB
CA
CP
pronto

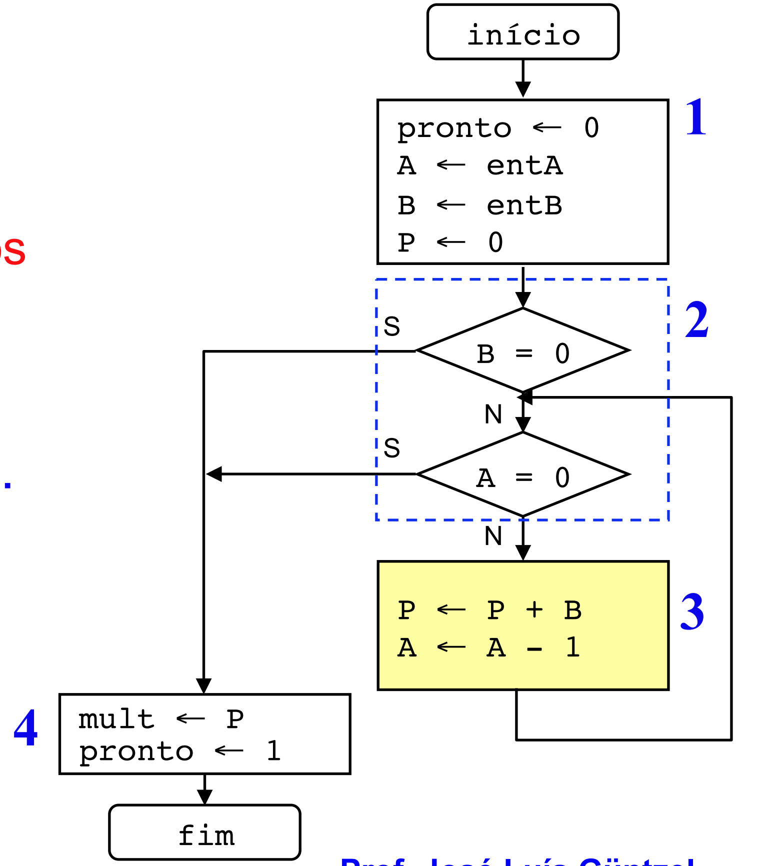
4 sinais

4. Projeto de Sistemas Digitais no Nível RT

Exploração Algorítmica

O desempenho do algoritmo utilizado nas soluções 1 e 2 é dependente da ordem em que os operandos são tomados...

- Considerando a solução 2 e n=4 bits:
  - A=1 e B=15 (1x15) executa em **4** passos
  - A=15 e B=1 (15x1) executa em **33** passos
- **Solução**: projetar outro algoritmo, tentando explorar características inerentes ao problema a ser resolvido…
- **Exigência**: necessário conhecer detalhadamente o problema a ser resolvido



Exploração Algorítmica

Multiplicação de Inteiros (Binários) Sem Sinal

Exemplos Numéricos:

Com Decimais

	9	multiplicando
x	11	multiplicador
+	9	produtos parciais
	9 -	
	99	resultado

Com Binários

	1 0 0 1	multiplicando
x	1 0 1 1	multiplicador
+	1 0 0 1	produtos parciais
	1 0 0 1 -	
	0 0 0 0 - -	
	1 0 0 1 - - -	
	1 1 0 0 0 1 1	resultado

Exploração Algorítmica

Multiplicação de Inteiros Binários Sem Sinal: o algoritmo de somas e deslocamentos

Explorando as características do problema:

- Gerar *n* produtos parciais
- Somar *n* produtos parciais
- *n* = número de bits do multiplicador (logo, tempo de execução independe dos dados, exceto quando operando =0)

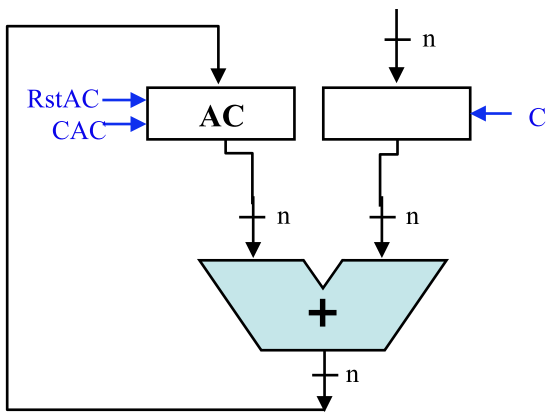
```
          1 0 0 1      multiplicando
  x       1 0 1 1      multiplicador
  ---------------
          1 0 0 1  \
        1 0 0 1 -   |  produtos
  +   0 0 0 0 - -   |  parciais
    1 0 0 1 - - -  /
  ---------------
    1 1 0 0 0 1 1      resultado
```

4. Projeto de Sistemas Digitais no Nível RT

Exploração Algorítmica

Multiplicação de Inteiros Binários Sem Sinal: o algoritmo de somas e deslocamentos

- Problema: somador capaz de somar *n* operandos de uma vez é demasiado caro
- Solução: realizar *n-1* passos de soma. As somas parciais são armazenadas em uma variável acumuladora.

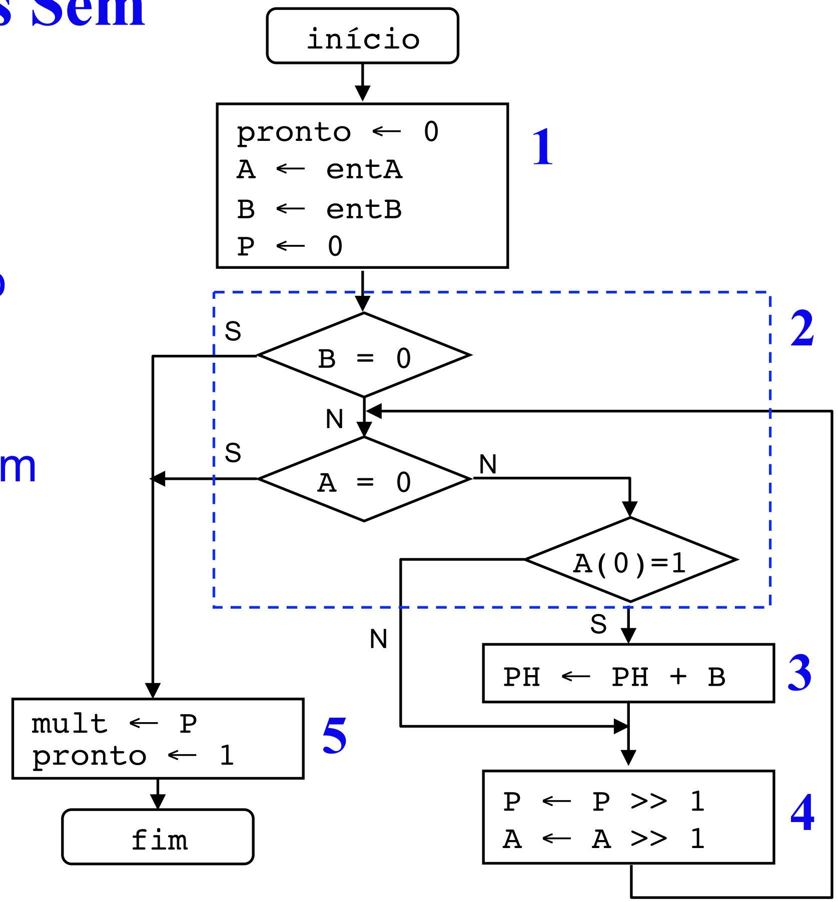


	1 0 0 1	multiplicando
x	1 0 1 1	multiplicador
+	1 0 0 1	Produto 1
	0 0 0 0	AC
+	1 0 0 1	AC
	1 0 0 1 -	Produto2
+	1 1 0 1 1	AC
	0 0 0 0 - -	Produto3
+	0 1 1 0 1 1	AC
	1 0 0 1 - - -	Produto4
	1 1 0 0 0 1 1	AC=resultado

Exploração Algorítmica

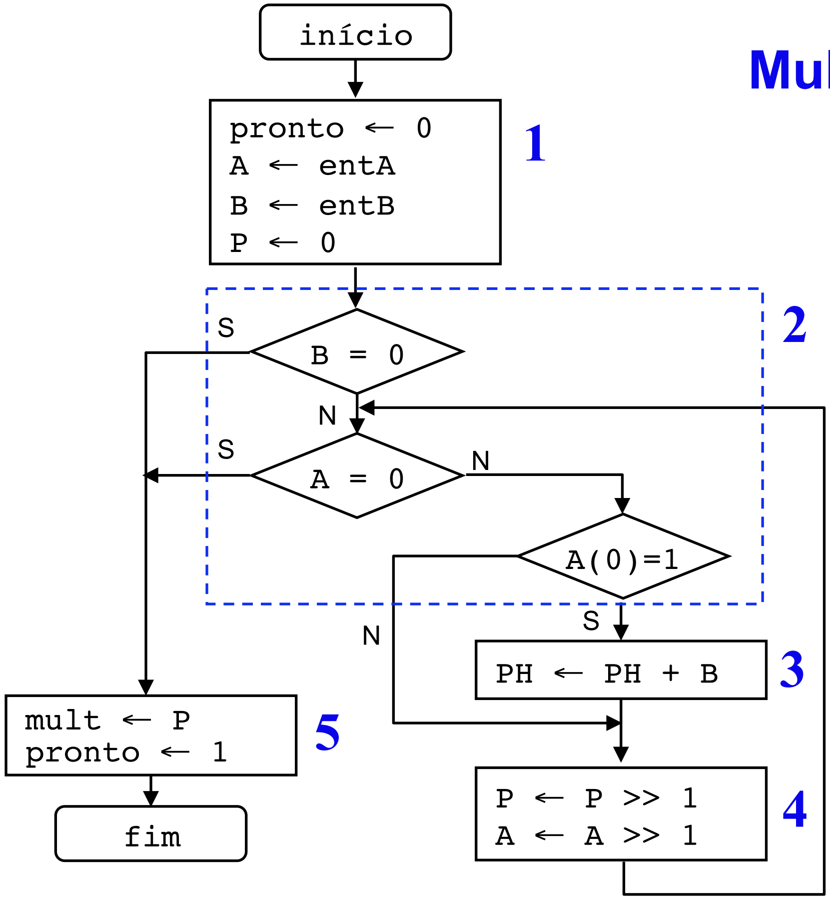
Multiplicação de Inteiros Binários Sem Sinal: o algoritmo de somas e deslocamentos

- **A** recebe o multiplicador, **B** o multiplicando
- **P** armazena as somas parciais. Usa um registrador com *2n* bits, dividido em parte alta (**PH**) e parte baixa (**PL**), cada uma com *n* bits (não ocorrerá *overflow*)
- **A**(0) é o bit menos significativo de **A**
- “**P** >>1” significa deslocar o conteúdo de **P** um bit para a direita (normalmente, injetando um “0” pela esquerda)



4. Projeto de Sistemas Digitais no Nível RT

Exploração Algorítmica



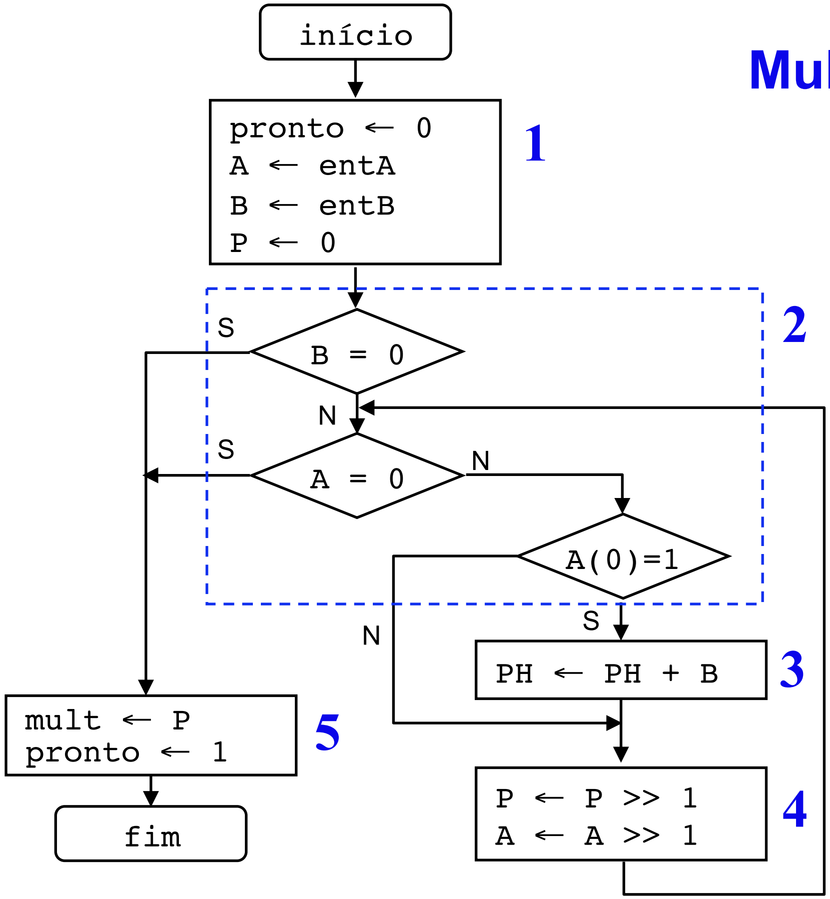
Teste de Mesa do Algoritmo de Multiplicação por Somas e Deslocamentos

	A	B	PH	PL
1	1011	1001	0000	0000
3.1				
4.1				
3.2				
4.2				
4.3				
3.4				
4.4				

Obs: no teste acima, o passo 2 foi omitido por falta de espaço.

4. Projeto de Sistemas Digitais no Nível RT

Exploração Algorítmica

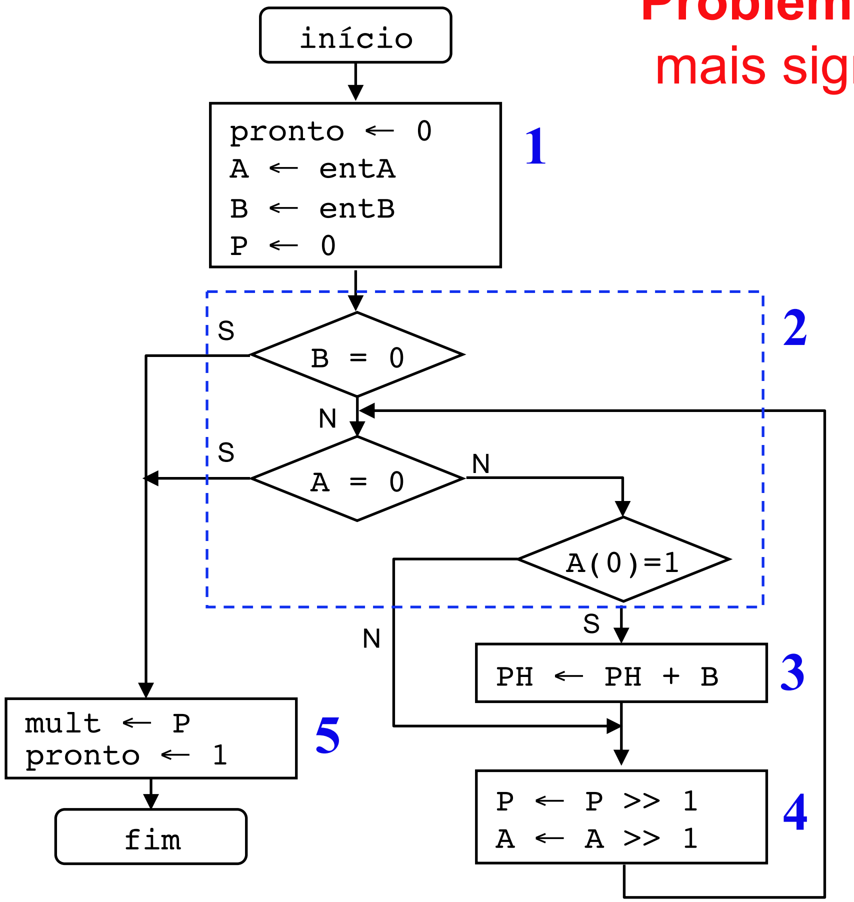


Teste de Mesa do Algoritmo de Multiplicação por Somas e Deslocamentos

	A	B	PH	PL
1	1011	1001	0000	0000
3.1	-	-	1001	0000
4.1	0101	-	0100	1000
3.2	-	-	1101	1000
4.2	0010	-	0110	1100
4.3	0001	-	0011	0110
3.4	-	-	1100	0110
4.4	0000	-	0110	0011

4. Projeto de Sistemas Digitais no Nível RT

Exploração Algorítmica



Problema com esta solução: e se o ou os bits mais significativos de "A" fossem "0"? Exemplo.

	A	B	PH	PL
1	0011	1001	0000	0000
3.1	-	-	1001	0000
4.1	0001	-	0100	1000
3.2	-	-	1101	1000
4.2	0000	-	0110	1100
4.3				
4.4				

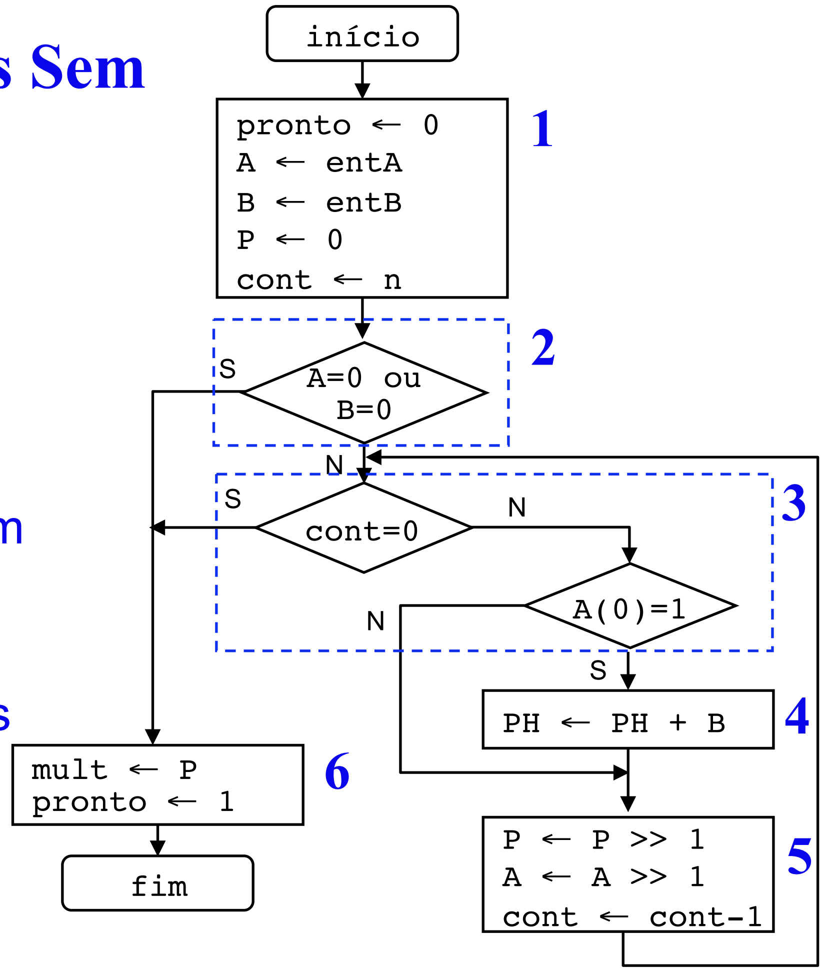
Neste ponto A=0. Porém, "P" ainda deveria ser deslocado para a direita mais duas vezes…

Solução: usar um contador-decrementador, ao invés de testar se A(0)=1.

Exploração Algorítmica

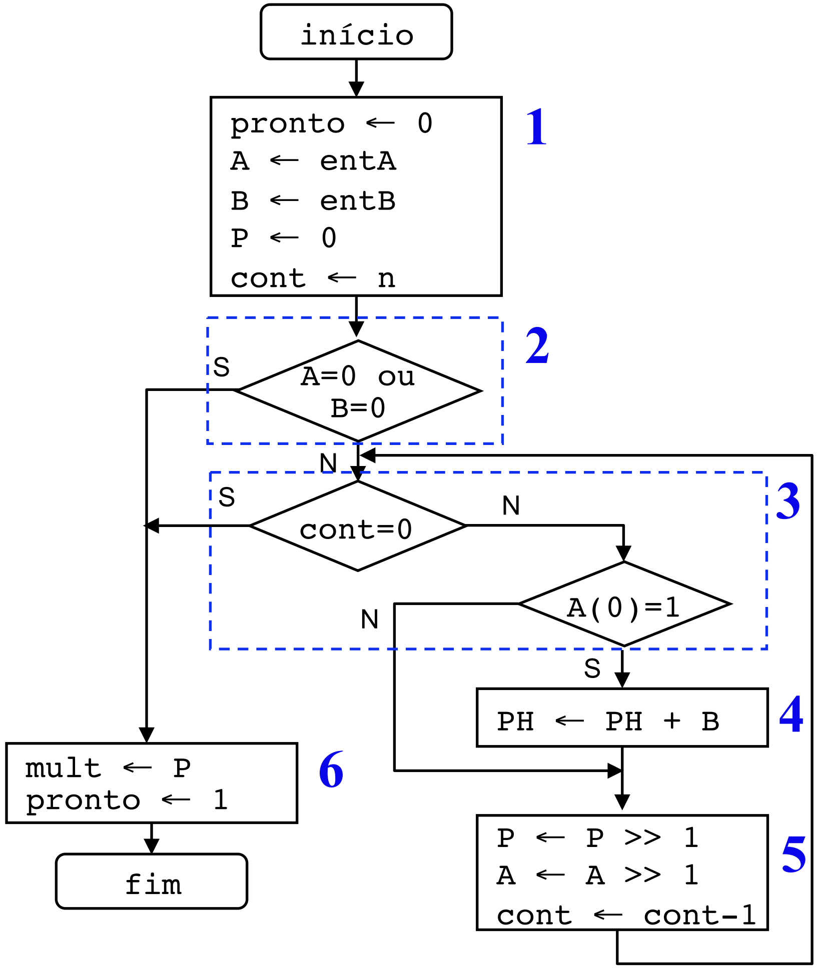
Multiplicação de Inteiros Binários Sem Sinal: o algoritmo de somas e deslocamentos, versão corrigida

- **A** recebe o multiplicador, **B** o multiplicando
- **P** armazena as somas parciais. Usa um registrador com *2n* bits, dividido em parte alta (**PH**) e parte baixa (**PL**), cada uma com *n* bits (não ocorrerá *overflow*)
- A variável **cont** é inicializada com uma constante que representa o número de bits do operando multiplicador (*n*, neste caso)



4. Projeto de Sistemas Digitais no Nível RT

Exploração Algorítmica



	A	B	PH	PL	cont
1	0011	1001	0000	0000	100
4.1	-	-	1001	0000	100
5.1	0001	-	0100	1000	011
4.2	-	-	1101	1000	011
5.2	0000	-	0110	1100	010
5.3	0000	-	0011	0110	001
5.4	0000	-	**0001**	**1011**	000

Agora a resposta está correta! 3 x 9 = 27

Obs: no teste acima, os passos 2 e 3 foram omitidos por falta de espaço.

4. Projeto de Sistemas Digitais no Nível RT

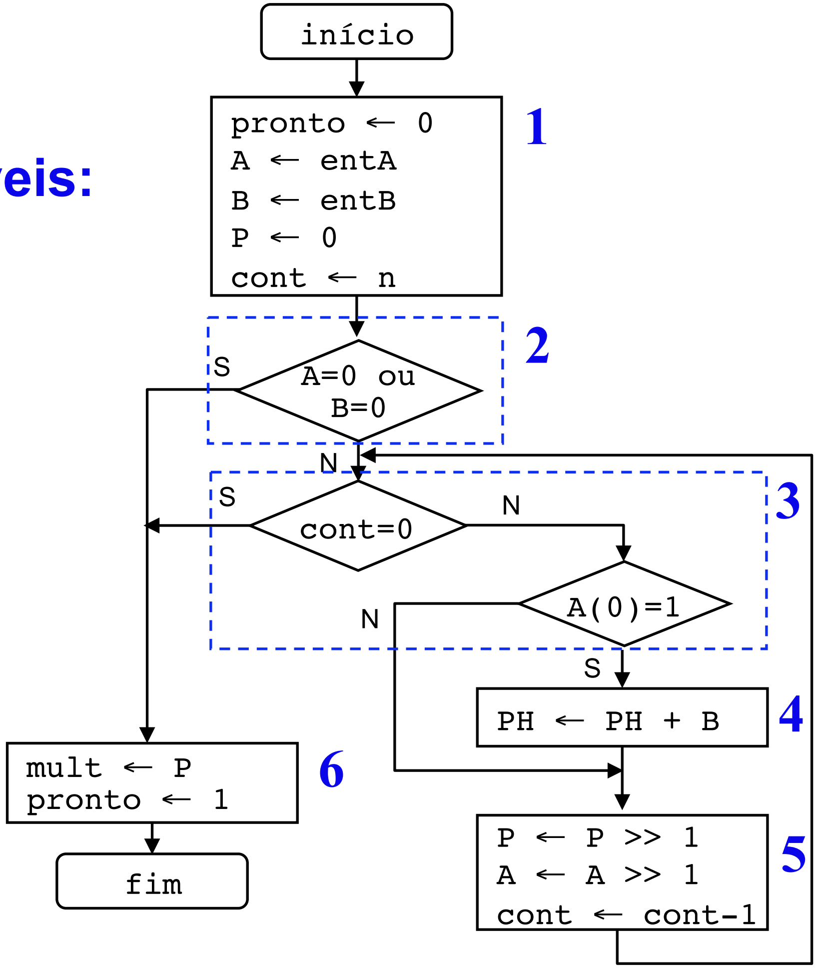
Projeto do BO 3

Solução 3: Somas e Deslocamentos

Análise do tempo de vida das variáveis:

	1	2	3	4	5	6
A		X	X	X	X	
B		X	X	X	X	
P		X	X	X	X	X
cont		X	X	X	X	

as variáveis A, B, P e cont são escritas na borda de relógio que encerra o passo 1 e dá início ao passo 2



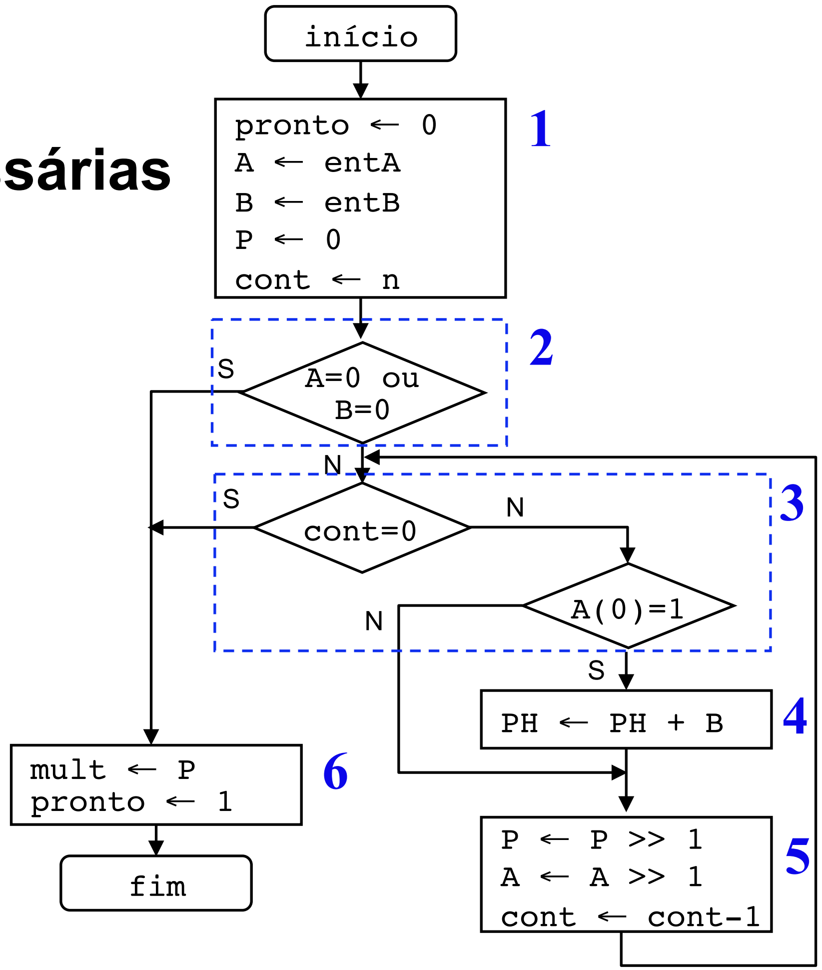
São necessários **4 registradores** (**A, B, P** e **count**).

Projeto do BO 3

Solução 3: Somas e Deslocamentos

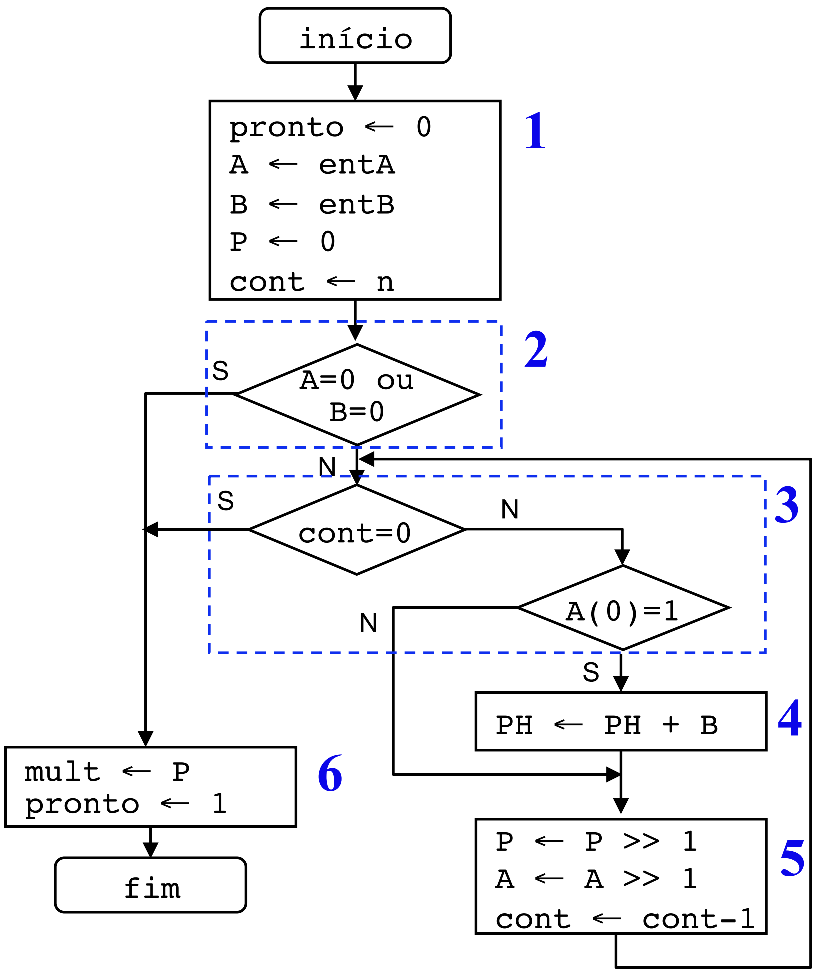
Unidades Funcionais (UFs) Necessárias

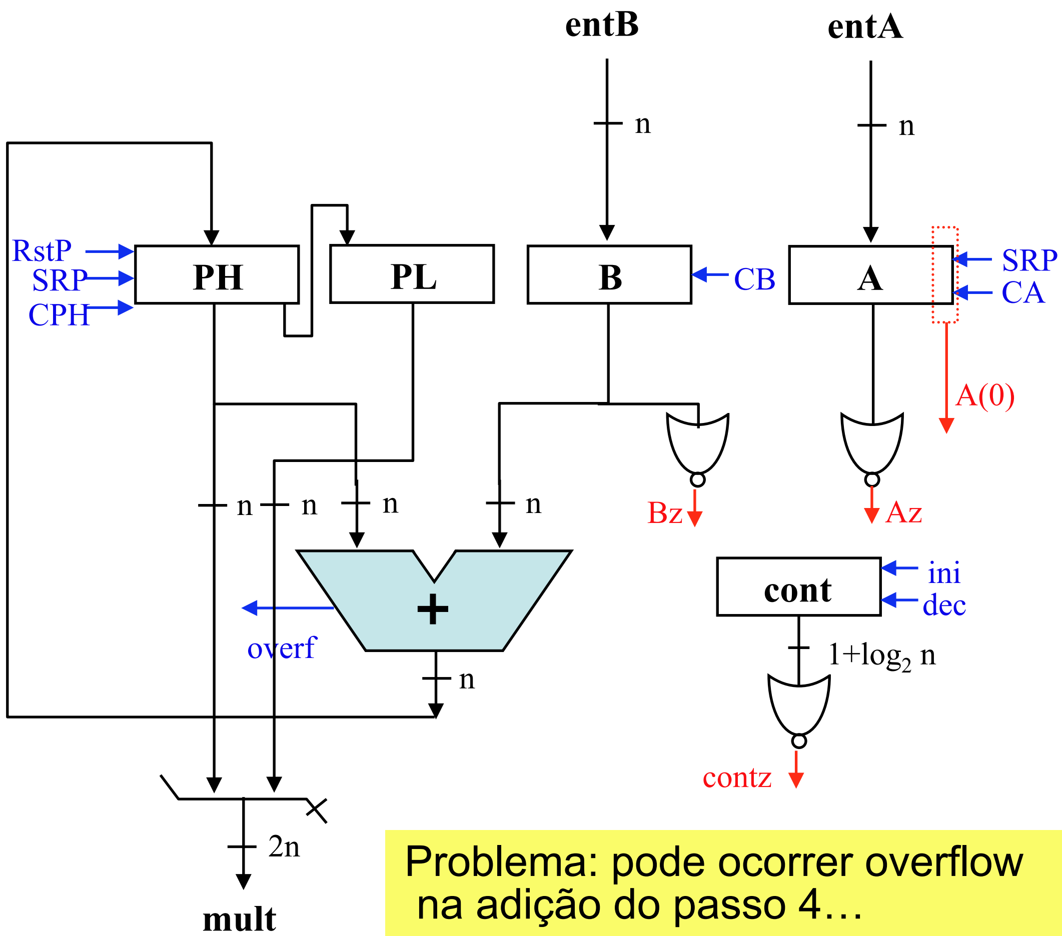
- Para a adição "PH+B" usaremos **um somador**
- Para os deslocamentos à direita, adotaremos **registradores de deslocamento** (para P e A)
- "cont" será implementado por um **registrador-decrementador com carga paralela**, para que possa ser inicializado com a constante *n*.



4. Projeto de Sistemas Digitais no Nível RT

Projeto do BO 3

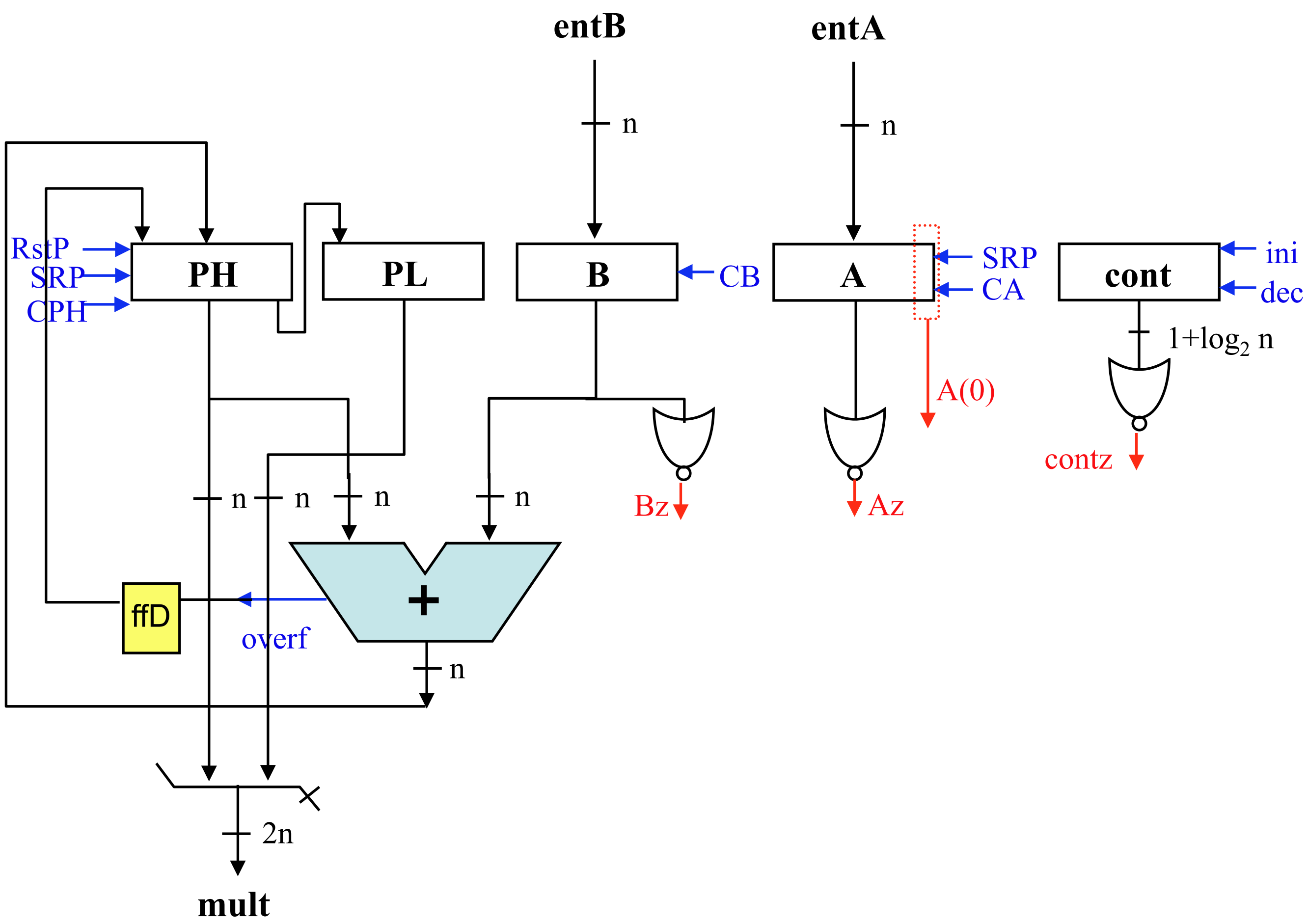




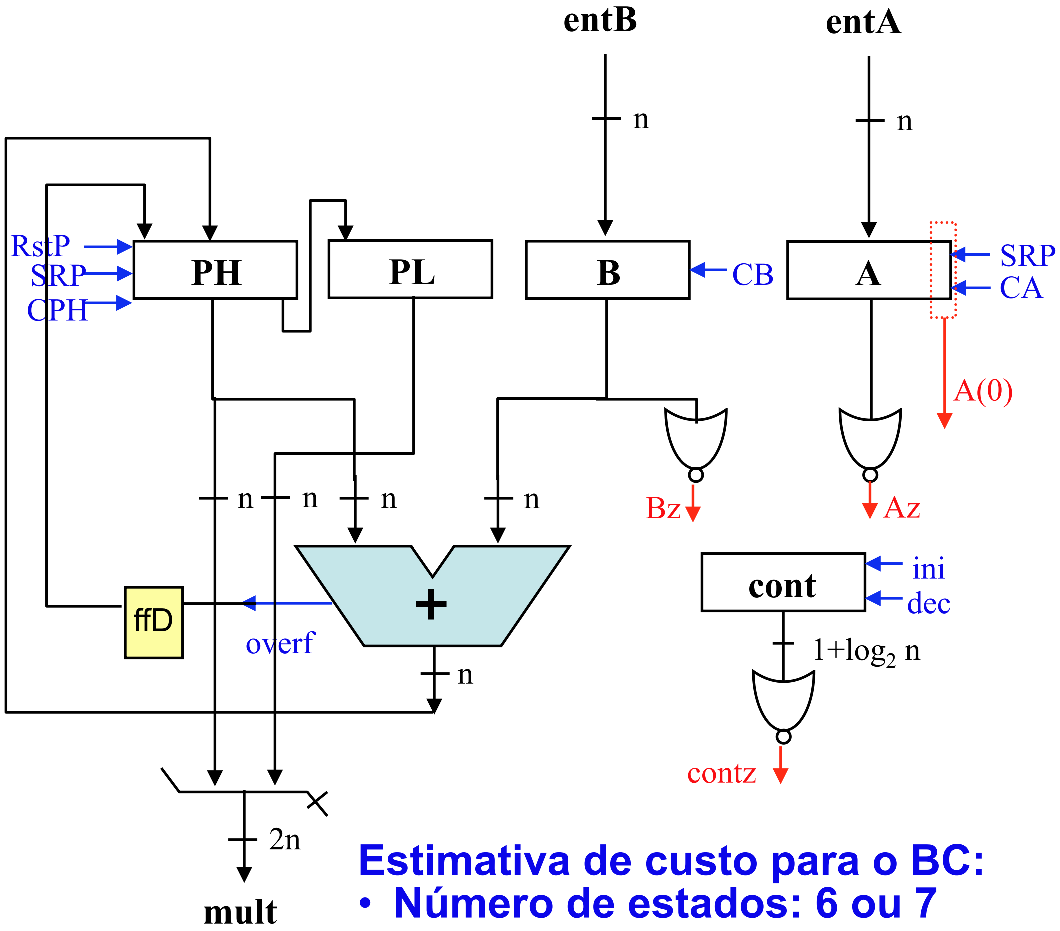
Problema: pode ocorrer overflow na adição do passo 4…

4. Projeto de Sistemas Digitais no Nível RT

Projeto do BO 3



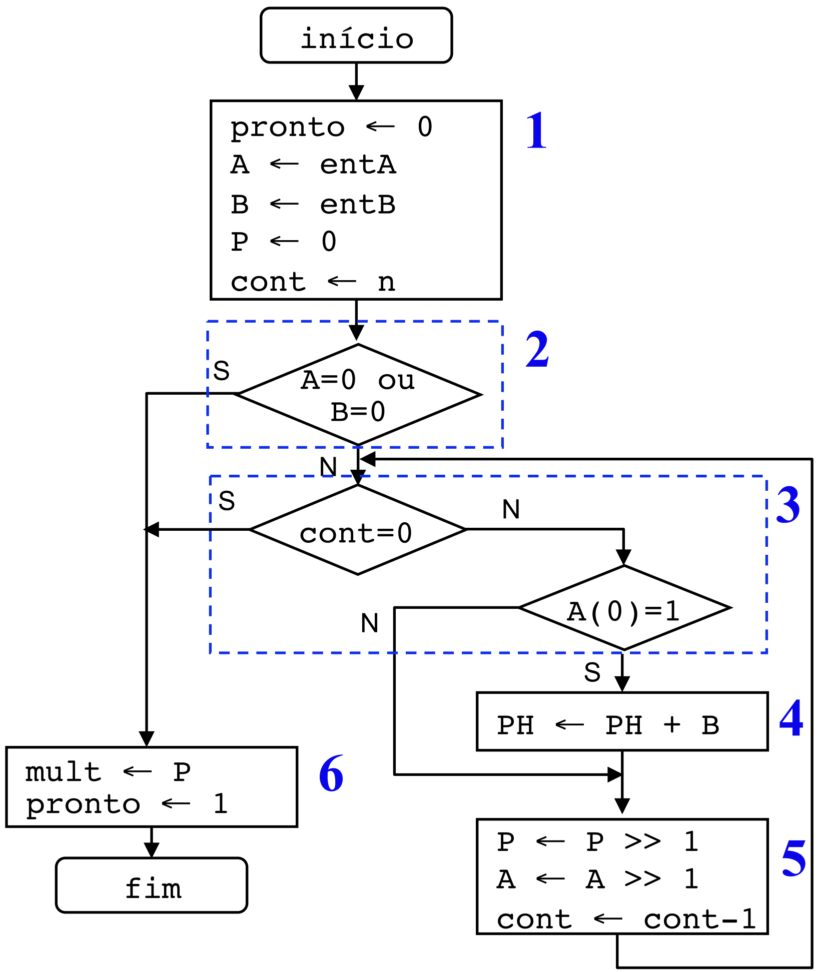
Estimativa do Custo do BO da Solução 3



Custo do BO 3	Custo
1 Somador	24n
1 Registrador com carga paralela controlada (B)	22n
1 Registrador de deslocamento com carga paralela controlada (A)	26n
1 Registrador de deslocamento com carga paralela controlada e reset assíncrono	30n
1 Registrador de deslocamento com reset assíncrono	26n
1 registrador contador-decrementador	$24x(1+\log_2 n)$
Total	**$128n + 24x(1+\log_2 n)$**

Estimativa de custo para o BC:
- **Número de estados: 6 ou 7**
- **Número de sinais de controle = 8**

Estimativa do Desempenho do BO da Solução 3



Se n = 4 bits:

- Maior inteiro sem sinal: 15 (⇒1111)
- Pior caso: A≠15, B≠0
- Sequência de execução: 1, 2, **4** x(3,4,5), 3, 6 = 16 passos (**16 ciclos de relógio**)
- BO 1= 48 ciclos, BO 2= 33 ciclos

Generalizando para *n* bits:

- Maior inteiro sem sinal: 2^n-1
- Pior caso: A≠0, B≠0
- Sequência de execução: 1, 2, nx(3,4,5),3,6 = 3n+4 passos (=~ **3n** ciclos de relógio)
- BO 1 = ~ 3x 2^n ciclos de relógio, BO 2 =~ 2x 2^n ciclos de relógio

Comparação Solução 1 x Solução 2 x Solução 3

Quesito	BO 1	BO 2	BO 3
Característica	Custo mínimo	Máximo desempenho	Algoritmo otimizado
Custo do BO (nº de transistores)	**112n**	**124n**	**$128n + 24x(1+\log_2 n)$**
Tempo de Execução (nº de ciclos de relógio)	**$\sim 3x\ 2^n$**	**$\sim 2x\ 2^n$**	**$\sim 3n$**
Impacto no BC nº de estados nº de sinais de controle	6 9 (4)	5 5 (?)	7 8
n=8: Custo do BO	896	992	**1.120**
n=16: Custo do BO	1.792	1.984	**2.168**
n= 8: nº de ciclos de relógio	768	512	**24**
n=16: nº de ciclos de relógio	196.608	131.072	**48**

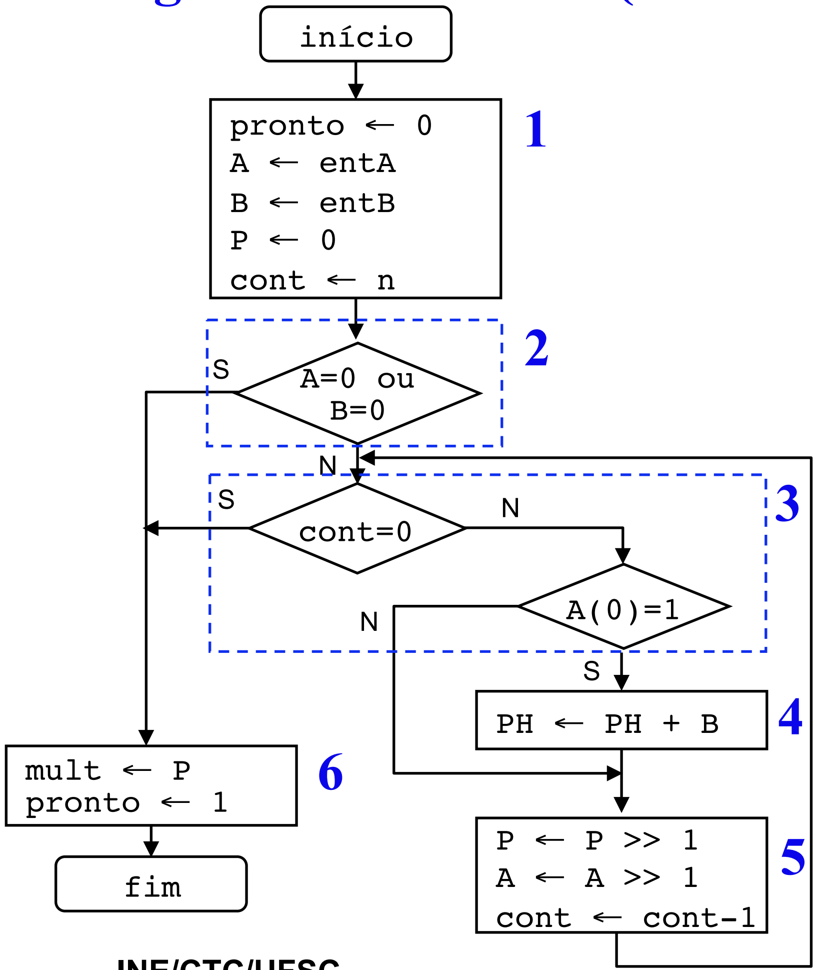
Comparação Solução 1 x Solução 2 x Solução 3

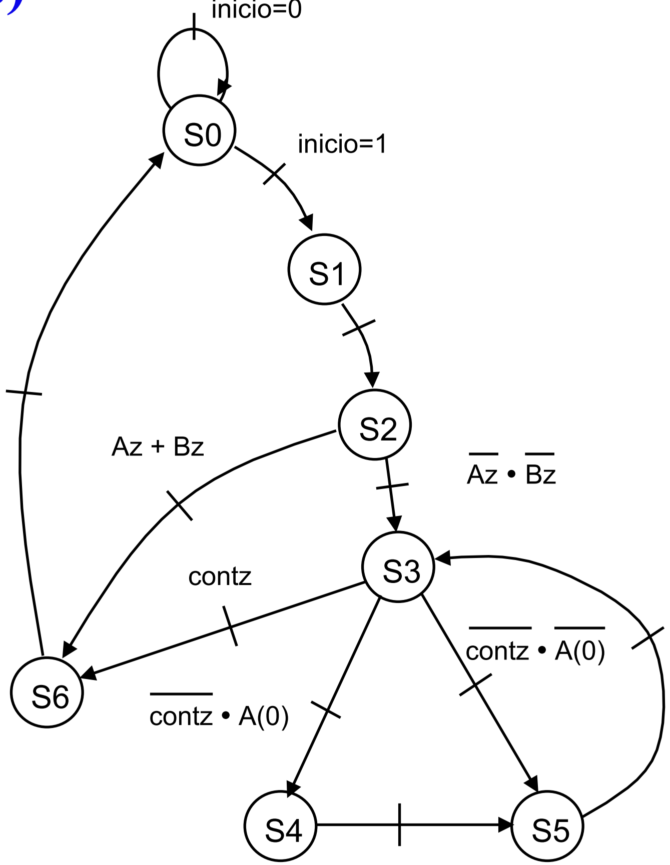
Algumas Conclusões

- Alterações nos níveis mais abstratos do projeto tendem a ter maior impacto nos quesitos de custo, desempenho, consumo de energia, testabilidade, robustez etc.
- O número de estados pode ser considerado como indicativo grosseiro do custo de implementação da FSM, mas a estimativa mais precisa do custo só é obtida após a otimização da FSM.
- O número de estados **não** pode ser considerado como indicativo do desempenho do sistema digital como um todo.
- Para se analisar o desempenho do sistema digital é preciso analisar o algoritmo que está sendo implementado (levando em conta os casos extremos).

Projeto do BC para a Solução 3

Diagrama de Estados (Assumindo Moore)





Multiplicação com Circuito Combinacional

O Multiplicador Matricial

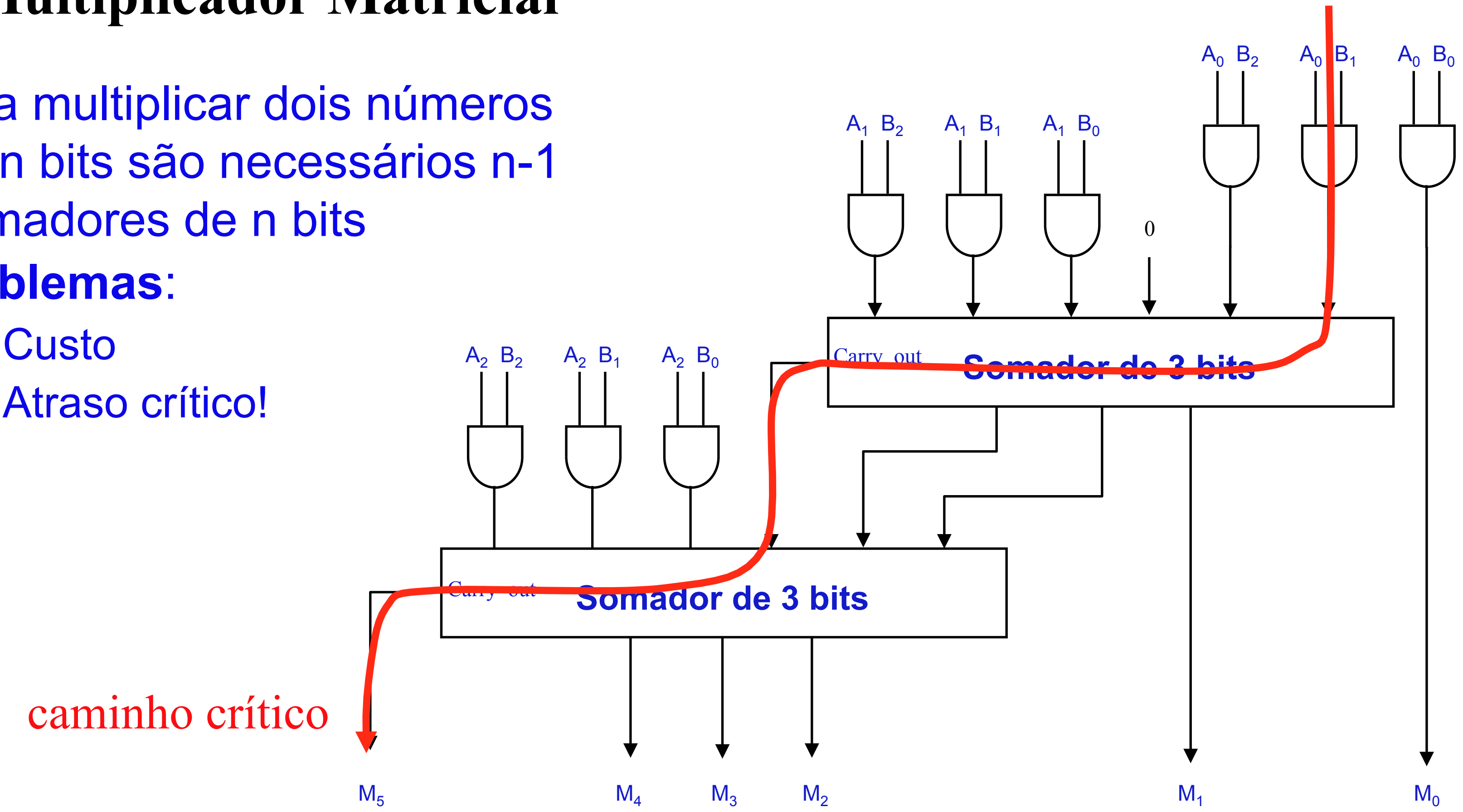
- É uma implementação direta do esquema ao lado
- Cada bit dos produtos parciais é gerado por meio de um “E” lógico

```
          1 0 0 1     multiplicando
x         1 0 1 1     multiplicador
---------------------
          1 0 0 1
        1 0 0 1 -     produtos
+     0 0 0 0 - -     parciais
    1 0 0 1 - - -
---------------------
  1 1 0 0 0 1 1       resultado
```

Multiplicação com Circuito Combinacional

O Multiplicador Matricial

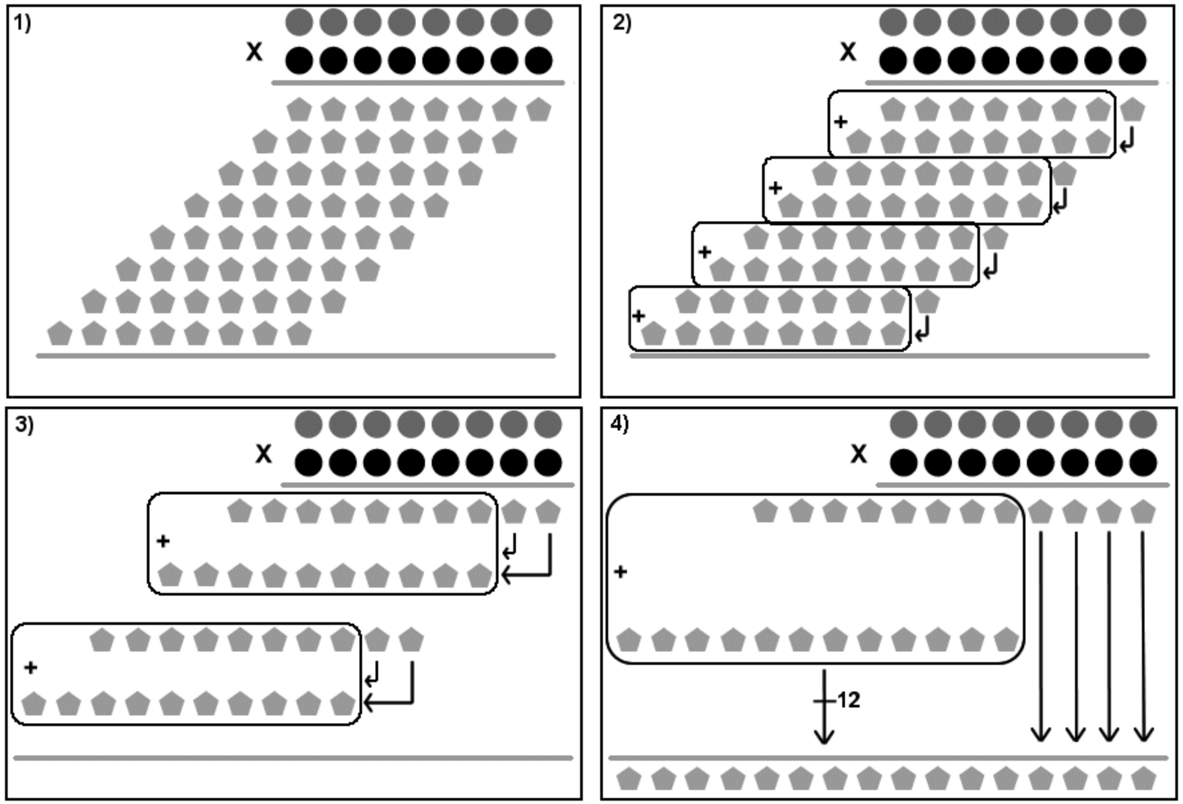
- Para multiplicar dois números de n bits são necessários n-1 somadores de n bits
- **Problemas**:
  - Custo
  - Atraso crítico!



Multiplicação com Circuito Combinacional

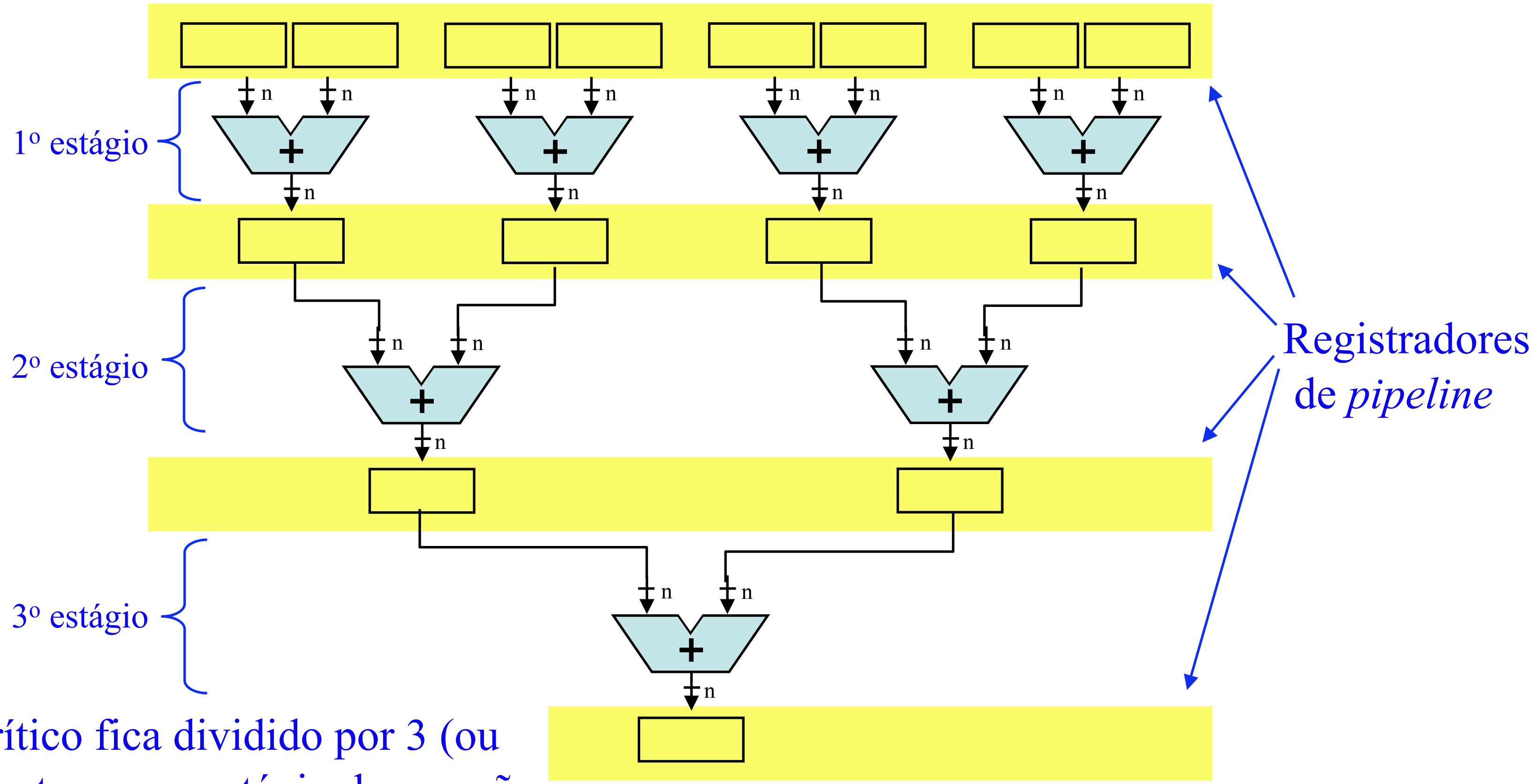
O Multiplicador Matricial *Pipeline*

- **Passo 1**: todos os produtos parciais são gerados
- **Passo 2**: os produtos parciais são somados de dois em dois
- **Passo 3**: os resultados do passo anterior são somados de dois em dois
- …



Multiplicação com Circuito Combinacional

O Multiplicador Matricial *Pipeline*



O atraso crítico fica dividido por 3 (ou por 4 se contarmos o estágio de geração dos produtos parciais)