



Universidade Federal de Santa Catarina

Departamento de Informática e Estatística
 Bacharelado em Ciências da Computação

INE 5348 – Lógica Programável – semestre 2007/2

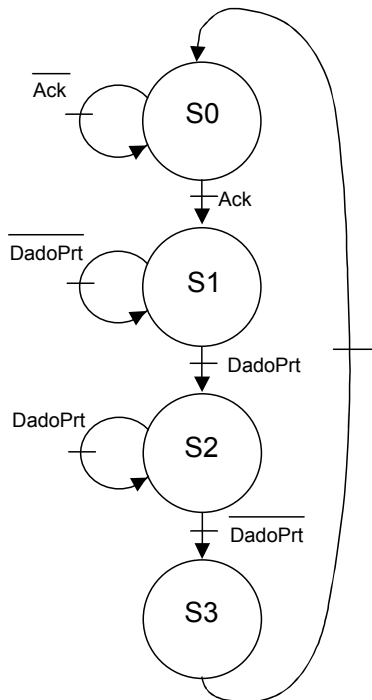
Prof. José Luís Güntzel guntzel@inf.ufsc.br www.inf.ufsc.br/~guntzel

Lista de Exercícios Preparatórios para a 1ª Verificação

Exercício 1

Seja o circuito seqüencial síncrono cujo comportamento é mostrado no diagrama de estados e na tabela de sinais de saída abaixo.

- Este circuito corresponde ao modelo de **Moore** ou de **Mealy**? Justifique/comente.
- Esboce o diagrama de blocos para o circuito, levando em conta seu modelo (Mealy ou Moore).
- Monte a tabela de transição de estados para este circuito (sem considerar a codificação dos estados).
- Considerando a **opção 1** para codificação de estados, encontre as equações de estado simplificadas. Use mapas de Karnaugh.
- Considerando a **opção 1** para codificação de estados, encontre a equação de saída simplificada. Use mapa de Karnaugh.
- Considerando a **opção 2** para codificação de estados, encontre as equações de estado simplificadas. Use mapas de Karnaugh.
- Considerando a **opção 2** para codificação de estados, encontre a equação de saída simplificada. Use mapa de Karnaugh.
- Compare o custo de implementação das equações obtidas a partir das duas opções de codificação de estados. Comente estes resultados obtidos.



Codificações de estados:

estado	opção 1	opção 2
S0	00	00
S1	01	01
S2	10	11
S3	11	10

Sinais de saída:

estado	entrada		saída
	Ack	DadoPrt	ReqLeit
S0	X	X	0
S1	X	0	0
S1	X	1	1
S2	X	0	0
S2	X	1	1
S3	X	X	0

Exercício 2

Necessita-se de um circuito seqüencial síncrono capaz de identificar a seqüência de bits “100”, a qual chega pela entrada “bit”. Além da entrada “bit”, este circuito possui as entradas “início” e “reset” (sendo esta última, assíncrona) e a saída “achou”. Enquanto “início” valer “0”, o circuito fica em um estado de espera, o qual também corresponde ao estado de reset. Quando “início” vale “1”, a cada borda de subida do relógio, o circuito analisa o valor de “bit”. Quando ele detetar a seqüência “100”, ele deve subir o sinal “achou” e, em seguida, voltar para o estado de espera.

- Projete uma versão deste circuito usando o Modelo de Moore.
- Projete uma versão deste circuito usando o Modelo de Mealy.
- Compare o custo das duas versões. Comente o comportamento de cada uma delas. Cite vantagens e desvantagens (ou limitações).

Exercício 3

Suponha que se deseje implementar o circuito seqüencial do exemplo 3 visto em aula utilizando uma memória ROM. Assumindo a codificação de estados (A=00, B=01, C=10, D=11):

- Mostre o conteúdo a ser gravado na memória ROM, caso a implementação faça uso de um esquema como o mostrado no diagrama de blocos abaixo. (Note que a entrada w é simplesmente concatenada com as variáveis do estado atual.)
- Desenhe o diagrama de blocos para um esquema alternativo de implementação, na qual o registrador de estados é um contador incrementador.
- Mostre o conteúdo a ser gravado na memória ROM para este esquema alternativo de implementação.
- Compare os custos dos dois esquemas de implementação (itens “a” e “b” anteriores), tanto no que se refere ao número de bits de ROM, quanto aos demais componentes (notadamente, o registrador de estados).

